

FBTI® (Flexible Bumped Tape Interposer) の開発

Development of FBTI® (Flexible Bumped Tape Interposer)

日笠 和人*
Kazuhito Hikasa

天野 俊昭*
Toshiaki Amano

樋上 俊哉*
Toshiya Hikami

菅原 賢一*
Kenichi Sugahara

豊田 尚之*2
Naoyuki Toyoda

概 要 近年、電子機器の軽薄・短小、高機能化は著しく進み、そこに搭載される電子部品についても、多ピン・狭ピッチ・省スペース化が要求されてきている。そのような状況の中、チップサイズの電子部品パッケージであるCSP (Chip Size Package) が主流となってきており、我々はフリップチップ工法に対応したCSP用のはんだバンプ付きインターポーザー (FBTI) の開発を行った。FBTIのVia内部は、Cuやはんだなどの金属材料で穴埋めされた構造となっている。また、チップ搭載は、SnAg はんだバンプとSiチップ上のAuスタッドバンプとのフリップチップ接合構造をとっている。このようなことから、高周波化、鉛フリー化、高接続信頼性に対応できるインターポーザーであるといえる。本論文では、FBTIの構造、製造プロセス、特徴、試作結果、信頼性、アプリケーション例等について報告する。

1. はじめに

近年、携帯電話やPDA (Personal Digital Assistance)、ノートパソコンなどに代表されるエレクトロニクス製品の軽薄・短小、高機能化の進展には目覚ましいものがあり、それに伴い、搭載される電子部品についても、多ピン・狭ピッチ、省スペースで高周波対応の部品が要求されてきている。そこで、ウェハレベルのCSP (Chip Size Package) やチップを積層するスタックタイプのパッケージが開発されるなど、エレクトロニクスデバイスも大きな革新が起こっている。

これらのデバイスでは、半導体チップの搭載方式としては大きく分けて2工法あり、ワイヤボンディングを用いた工法とフェイスダウンのフリップチップ工法に分かれる。その中でも、省スペース、多ピン、高周波に対応でき、高信頼性を確保できる工法としては、はんだバンプを用いたフリップチップ工法である。しかし、ワイヤボンディング工法は既に成熟した技術であり、フリップチップ工法と比べて安価な工法であることから、一般的に多く用いられている。全半導体搭載部品の約90%近くはワイヤボンディング工法といわれている。このワイヤボンディング工法の長所により、フリップチップ工法が未だ汎用技術として用いられていないように思える。

しかし、さらに軽量化、薄型化、高速化が進んでいくと、ワイヤボンディング工法では限界があり、フリップチップ工法が必要である。我々は、安価でかつ容易に使える汎用工法として具現化するインターポーザーが必須と考え、弊社固有のメッキ

技術を応用して、CSP用のはんだバンプ付きテープ状インターポーザー FBTIの開発を行った。

2. インターポーザーの構造

2.1 ポリイミド基材

ポリイミド基材を用いて新規に開発したインターポーザーの外観を以下に示す。図1は基材として40 μm 厚ポリイミドを用いた例であり、図1を模式的に拡大したものを図2に示す。

図1に示すバンプ面がチップ搭載面 (以下、E面と略す) となり、10~25 μm 厚、75 $\mu\text{m}\phi$ のSnAg はんだバンプを150 μm ピッチで形成している。また、配線は、Cu箔厚18 μm 、最小パターン間ギャップ75 μm である。

またVia面 (以下、BC面と略す) は、0.5 mmピッチでSnAg はんだでViaフィルしたLGA (Land Grid Allay) ランドが配置された構造となっている。

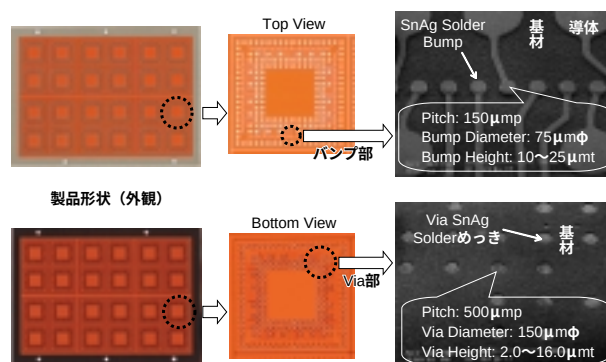


図1 40 μm 厚ポリイミドを用いた例
Example of interposer using 40 μm -thick polyimide

* 研究開発本部 環境・エネルギー研究所

*2 エレクトロニクス・コンポーネント事業部 電子部品部

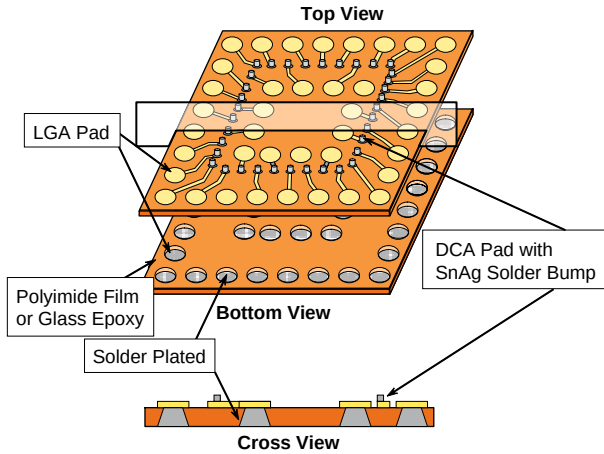


図2 インターポーザーの構造 (模式図)
Schematic structure of interposer

2.2 ガラスエポキシ基材

具体的な図には示さないが、基材として50 μm 厚ガラスエポキシを用いた構造例もあり、ポリイミドと同様に、E面には、最小径50 $\mu\text{m}\phi$ のSnAgはんだバンプを最小84 μm ピッチで形成している。配線は、Cu箔厚18 μm 、最小パターン間ギャップ34 μm である。また、テスト用端子めっき (NiAuめっき) 処理やCu箔表面の酸化防止用Snめっき処理などを行った構造とすることも可能である。

BC面は、Via径150 $\mu\text{m}\phi$ 、0.35 mmピッチでSnAgはんだが基材面よりも厚くめっきされたViaフィルランドが配置された構造としている。

3. 製造プロセス¹⁾

インターポーザーの製造プロセスについて、図3に示す。

3.1 BC面プロセス

まず、BC面から加工を行う。

- ① 炭酸ガスレーザーによるVia形成用の穴開け
- ② レーザースミア除去 (デスミア)
- ③ Via内にSnAgはんだによる電気めっき (Viaフィル)

3.2 E面プロセス

次にE面の加工を行う。

- ④ Cu箔表面に感光性ドライフィルムをラミネートする
- ⑤ はんだバンプ形成のためガラスマスクを用いて露光
- ⑥ 現像, SnAgはんだバンプ用の電気めっき
- ⑦ ドライフィルム剥離
- ⑧ Cu箔表面に感光性ドライフィルムをラミネートする
- ⑨ 配線パターン形成のためガラスマスクを用いて露光
- ⑩ 現像, アルカリエッチング, ドライフィルム剥離
- ⑪ NCF (Non Conductive Film), 接着剤, アンダーフィルなどとの密着力向上を目的としたCu箔表面の粗化処理
- ⑫ 外形切断

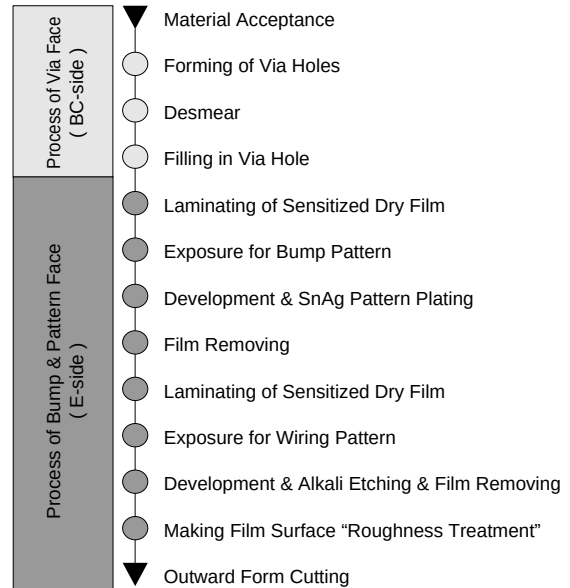


図3 製造プロセス
Manufacturing process

4. 特徴

FBTIの代表的な特徴について、下記に示す。

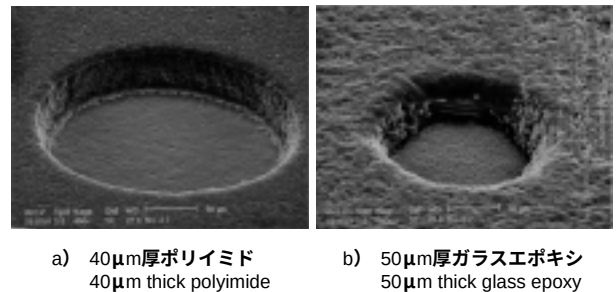
4.1 良好なVia穴あけ状態

炭酸ガスレーザーを用いてViaを形成しており、微細穴加工可能なプロセスであることから、Via位置精度が高く、Via形成状態も安定している。図4に40 μm 厚ポリイミド、50 μm 厚ガラスエポキシにおけるレーザー穴あけ、デスミア後の状態を示す。デスミア後では、Via部分にスミア残渣のないことがわかる。

4.2 良好なVia穴埋め状態

レーザー穴あけ後に、最適条件でスミア除去を行っており、完全な金属Cuが露出していることから、Via内をSnAgはんだめっきもしくはCuめっきで良好に穴埋めできる。

また、鉛フリー化に対応でき、導電ペーストやはんだペーストによる穴埋めと比べて、Via内のボイドもなく (図5に軟X線写真を示す。ボイドレスでViaフィルできていることがわかる)、電気抵抗も小さいといった高信頼性Via接合形態を得ることができる。



a) 40 μm 厚ポリイミド
40 μm thick polyimide
b) 50 μm 厚ガラスエポキシ
50 μm thick glass epoxy

図4 レーザー穴開け、デスミア後の状態
Photomicrographs of via holes after laser drilling and desmearing

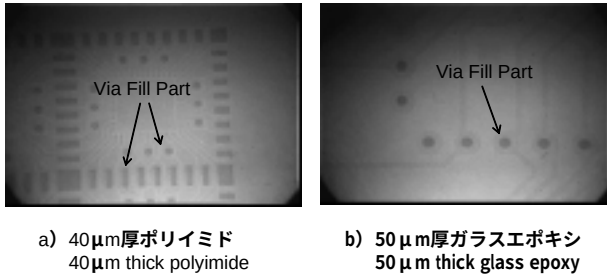


図5 Via フィル状態（軟X線写真）
Soft X-ray image of via hole filling

4.3 高信頼性フリップチップ接合に対応

フリップチップ接合用として、鉛フリーに対応したSnAg バンプを形成している。SnAg はんだバンプとAu スタッドを用いたフリップチップ接合は更なる高周波部品に対応でき、接続部の信頼性が高い工法といえる。

4.4 基材選択性

基材は、ポリイミド、ガラスエポキシなどの有機材料に対応でき、また、厚みについても50 μm以下に対応可能である。今回、開発に用いた材料の特性について表1に示す。

基材として薄くフレキシブルな素材を用いていることから、チップ接合部やマザーボードへの接合部の信頼性が高い。また、両基材とも、同じラインで製造可能である。

4.5 封止樹脂との密着性良好

Cu箔表面については、NCF、接着剤、アンダーフィルなどとの密着力向上を図った粗化処理（図6）が実施されており、パッケージとしての信頼性も高いものとなっている。

表1 使用した基材特性
Properties of base materials used for interposer

	Unit	Polyimide	Glass Epoxy	Test Method
Thickness	mm	0.04	0.05	
Volume Resistance	$\Omega \cdot \text{cm}$		5×10^{15}	IPC-TM-650,2.5.17
Surface Resistance	Ω		5×10^{14}	
Insulation Resistance	Ω	4×10^{13}	5×10^{13}	IPC-TM-650,2.5.9
Solder Heat Resistance		260°C×60 sec. OK	260°C×120 sec. OK	
Peel Strength	N/cm	17.0	14.7	JIS C-5012
Flexural Strength	25°C	271	520	IPC-TM-650,2.4.19
	150°C		140	
Elongation at Break Point	%	56.0		
Modulus of Elasticity	25°C	4500	10000	
	150°C		9100	
	200°C		3000	
Ratio of Size Variation after Etching	MD	0.00		250°C×30Min.
	TD	-0.04		
Ratio of Size Variation after Heating	MD	-0.04		
	TD	-0.04		
Heat Resistance in Oven			OK	260°C×60Min.
Tg	°C		180	
Water Absorption	%		0.31	
UL Flame Class		UL-94V-0	UL-94V-0	

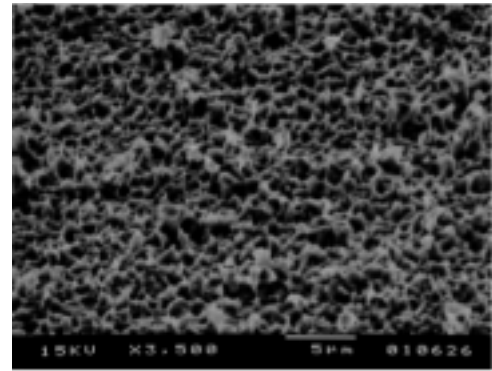


図6 粗化処理後のCu表面状態
Cu foil surface after roughening treatment

5. 試作結果

まず、FBTIの大きな特徴である、Via フィルめっきとSnAg はんだバンプめっきについて、その試作結果（金属間化合物層の生成、金属組織、めっき高さ、Ag組成）を報告する。

5.1 金属間化合物層の生成

SnAg はんだめっき後のCu箔との界面状態についてFIB-SIM（Focused Ion Beam-Secondary Ion Microscope）像（45°傾斜）を図7に示す。薄く均一な金属間化合物層の生成が認められることから、金属結合された良好なめっき状態といえる。

5.2 金属組織

また、SnAgめっきにおけるAg組織について、FIB-SIM像（45°傾斜）を図8に示す。Ag組織は、大きくなっておらず、緻密な組織になっていることがわかる。従って、本SnAg はんだめっきは、はんだ材料としても非常に優れているといえる。

5.3 めっき高さ

焦点深度計を用いてめっき高さを測定した。ポリイミド基材では、約100 m長、250 mm幅のRollを1 Lotとして、Lot内をランダムに60 pointの測定を行い、15 Lot分のデータを取った。ガラエポ基材は、約150 m長、250 mm幅のRollを1 Lotとして、Lot内をランダムに108 pointの測定を行い、同様に15 Lot分のデータを取った。結果を表2に示す。バンプ高さバラツキ、Via高さバラツキについて、接合上問題ないレベルではあるが、今後、標準偏差1.5以下となるようバラツキ低減に向けた検討を行っていきたいと考えている。

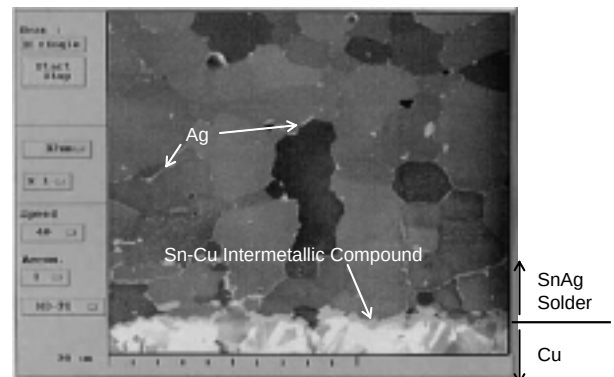


図7 SnAgめっき/Cu界面状態
Interface area of Cu foil plated with SnAg

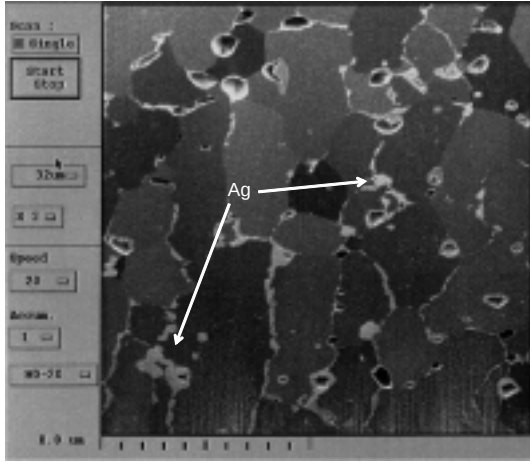


図8 SnAg めっき組織
Photomicrograph of SnAg plating layer

表2 めっき高さ
Heights of plating

	Material	Polyimide Film	Glass Epoxy
Bump Height (μm)	MAX	20.5	15.0
	MIN	10.5	5.0
	AVE	15.2	8.5
	STD	1.7	1.8
Via Height (μm)	MAX	20.0	16.0
	MIN	4.0	2.0
	AVE	8.3	9.3
	STD	5.3	3.1

表3 Ag組成
Ag composition in plating layer

	Material	Polyimide Film	Glass Epoxy
Bump (Ag wt%)	MAX	3.94	3.96
	MIN	1.52	1.39
	AVE	2.79	2.16
	STD	0.67	0.57
Via (Ag wt%)	MAX	3.66	4.16
	MIN	1.53	1.39
	AVE	2.00	2.42
	STD	0.52	0.54

5.4 Ag組成

EPMA (Electron Probe Micro Analysis) を用いて Ag 組成の測定を行った。ポリイミド基材については、約 100 m 長さ、250 mm 幅の Roll、ガラエポ基材は、約 150 m 長さ、250 mm 幅の Roll を 1 Lot として、Lot 内をランダムに 9 point の測定を行い、15 Lot 分のデータを取った。結果を表3に示す。Ag 組成バラツキについては、Via めっきやバンプめっきの両方について安定しているといえる。

6. 信頼性

FBTIの基本的信頼性の調査結果について報告する。

ポリイミド基材のインターポーザーに Si チップをフリップチップ搭載してモールドしたパッケージの信頼性と、そのパッケージをマザーボードにはんだ接合した後の信頼性について評価を行った。

6.1 信頼性サンプル作成

6.1.1 パッケージ化

信頼性評価サンプルの作成フローを図9に示す。まず、Si チップの電極表面に Au スタッドバンプを形成し、インターポーザー上のチップ搭載中心付近に接着剤 (Nagase-Chiba URF200) を供給する。Post flux (Harima chemical, Inc F-50F (No clean flux)) を Au スタッドバンプ電極に塗布する。150°C 5 min 間ポストキュアを行う。ヒートツールギャングボンディング法により 250°C 10 sec の加熱で Si チップのはんだ接合を行う。接合後、アンダーフィル (NAMICS U8437-2) を充填し、150°C 20 min 加熱を行いキュアを実施する。この工程によりインターポーザーをパッケージ化する。

6.1.2 パッケージの実装

このパッケージを下記仕様のマザーボードにはんだ接合を行った。

基材厚み 1.6 mm の FR-4 基材に、Cu 箔厚み 18 μm 、電極サイズ 0.3 mm ϕ 、溶ダレジスト開口サイズ 0.4 mm ϕ を形成したマザーボード上に、はんだ接合の条件として、LGA (Land Grid Array) パッケージを想定した状態と BGA (Ball Grid Array) パッケージを想定した状態の 2 水準を作成した。

LGA パッケージ想定は、溶ダペースト供給用メタルマスク開口 400 $\mu\text{m}\phi$ 、マスク厚 100 μm で溶ダペーストを供給しはんだ接合を行った状態とした。BGA パッケージ想定は、パッケージ電極表面に 300 $\mu\text{m}\phi$ のはんだボールを搭載し溶ダペースト供給用メタルマスク開口 300 $\mu\text{m}\phi$ 、マスク厚 100 μm で溶ダペーストを供給し、はんだ接合を行った状態とした。

6.2 信頼性試験内容

次に、パッケージ単体、LGA や BGA を模擬してマザーボードに搭載した状態の 3 水準 (各水準 $n = 20$) について、基本的な信頼性試験を行った。

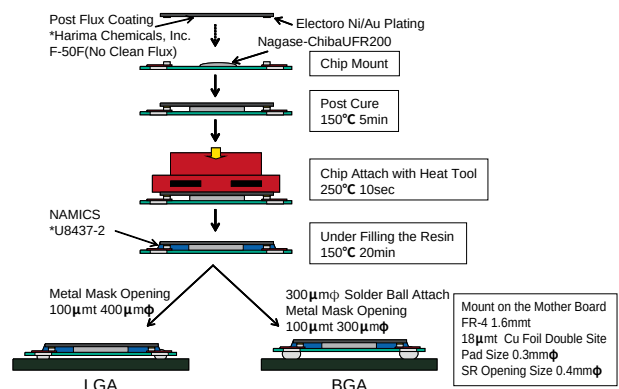


図9 信頼性評価サンプル作成プロセス
Preparation process of specimens for reliability evaluation

表4 信頼性試験条件と結果
Test conditions and results of reliability test

Test	Test Condition	Pass Criteria	Failure Rate		
			(1) Component BGA	On the Board	
				(2) LGA	(3) BGA
Thermal Shock	-55 to 125°C 5 Min. Dwells	<1 % Failure Probability	>2000 Cycles 0/20	288 Cycles 0/20	547 Cycles 0/20
High Temp. High Humid.	85°C, 85 % RH, No Bias	Zero or One Failure in 168 Hours	0/20	—	0/20
Autoclave	121°C, 100 % RH	24 Hours	0/20	—	0/20
High Temp. Storage	150°C	1008 Hours	0/20	—	0/20
Pre-Conditioning JEDEC	85°C, 85 % RH, 168 Hours 220°C Reflow 3 Pass	Level 1	Level 1 Passed	—	—

評価方法は、パッケージ単体については、BGAランドを針触法で導通有無を調査し、LGA、BGAについては、検査パッド間の導体抵抗を4端子法により測定した。4端子法においては、モニター幅を1 mΩから1000Ωに設定し、レンジオーバー時点を破断サイクル数とした。また、確認の意味で、断面研磨による接合部分のクラック発生状態も観察した。

その結果、今回作成したサンプルの信頼性試験においては、表4に示すように全サンプルが合格という良好な結果となった。

7. FBTIを用いたアプリケーション例^{2),3)}

FBTIを用いたアプリケーション例について示す。いずれも株式会社東芝セミコンダクター社殿に採用された例である。

7.1 TQON (Thin Quad Outline Non-Leaded)

図10はポリイミド基材で形成したTQONの例である。TQONの構造の模式図を図11に示す。TQONは小型・薄型・軽量であり電気特性に優れていることを特徴とし、主に携帯電話やモバイル機器に使用されている。外形的には16ピン～48ピンまでカバーしており、端子のピッチはペリフェラルタイプが0.5 mm、エリアタイプが0.5 mm/0.65 mmで取り付け高さは0.5 mm、チップをフリップチップ接続させ片面モールドした構造である。

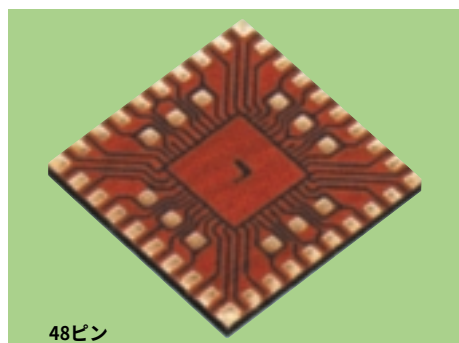


図10 TQON (Thin Quad Outline Non-Leaded) 外観
Appearance of TQON (Thin Quad Outline Non-Leaded)

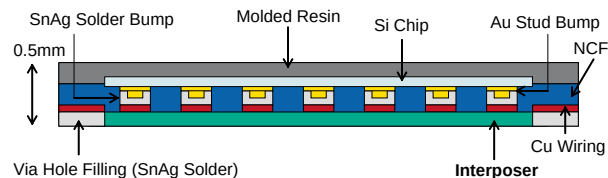


図11 TQONの構造の模式図
Structure of TQON

7.2 PTP (Paper Thin Package)

次に、図12はガラスエポキシ基材PTPを積層したSBM (System Block Module) の例である。PTPとは50 μmのチップをガラスエポキシ基板に乗せたICカードやマルチチップ3次元実装を実現するための薄型パッケージ化技術(図13に構造の模式図を示す)であり、PTPを複数積層した構造を備えるのがSBM (System Block Module) である。携帯電話機に搭載するほとんどの回路を一つのパッケージに積層して、集積できる可能性を秘めている。

TQON, PTPの両アプリケーションは、携帯電話やモバイル機器などの軽薄・短小、高機能化、高速化を図る必要のある電子機器分野へのパッケージとして用いられ、フリップチップ実装工法を用いたメリットが大きく出ているといえる。

7.3 新規開発品

また、図14に現在開発中のインターポーザーの例を示す。バンプ面には、フリップチップ接合用のSnAgはんだバンプとワイヤボンディング接合用のAuめっきランド(SEM写真を図15に示す)を設けており、Via部をCuめっきで埋めて層間接続を行った2層板インターポーザーとなっている。また、パッケージとしては、2チップをフリップチップとワイヤボンディングの2工法にて接合積層した構造をとる。このインターポーザーを用いることにより、1パッケージ中に、複数のチップが搭載可能となり、更なる高機能パッケージに対応できる。

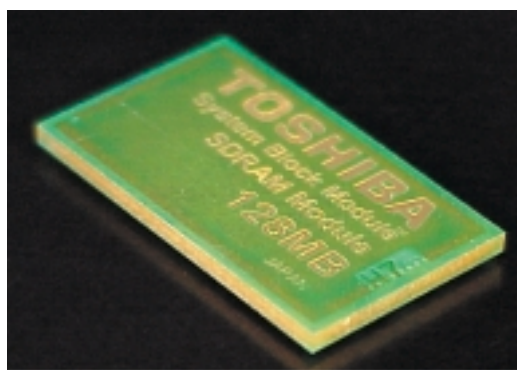


図12 SBM (System Block Module) 外観
Appearance of SBM (System Block Module)

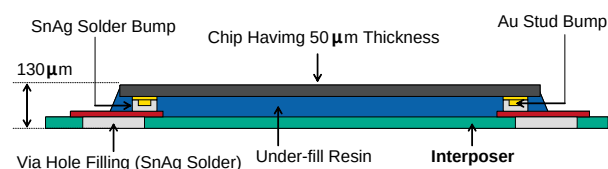


図13 PTP構造の模式図
Structure of PTP

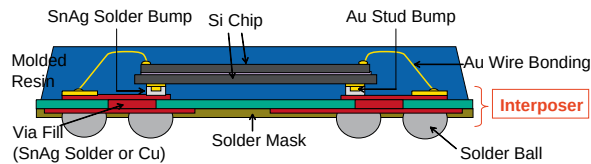


図 14 開発中インターポザー
Interposer under development

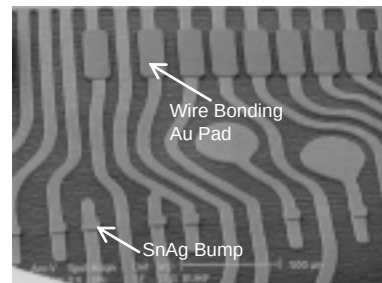


図15 バンプ面SEM写真
SEM image of bump surface

8. おわりに

今回我々は、Au スタッドバンプとの接合信頼性の高いSnAg はんだバンプを形成し、良好にVia フィルを行った鉛フリー化に対応できる全く新しいCSP用インターポーザーの開発を行った。現在、東芝セミコンダクター社殿に採用いただいているが、このインターポーザーを用いることによりフリップチップ接合法がより安価な技術として広がり、皆様の更なる軽薄・短小・高機能化・高速化製品開発の促進に役立つものと確信している。

謝辭

本技術を採用いただいた東芝セミコンダクター社殿より、情報提供を頂きましたことをここでお礼申し上げます。

参考文献

- 1) Toshiaki Asada and Toshiaki Amano: "Development of a Bumped Tape Carrier (BTC) for CSP Substrates," The Fourth VLSI Packaging Workshop of Japan, Nov. 1998, 101.
- 2) Takashi Imoto, Mikio Matsui, Chiaki Takubo, and Shuzo Akejima: "Development of 3-Dimensional Module Package, System Block Module," Proc. 51th ECTC Conference (2001).
- 3) 藤津隆夫: "ほとんどの回路を集積可能な「System Block Module」(SBM),"日経マイクロデバイス, July 2001, 118.