

ノーマリオフ型窒化ガリウム系 MOS 型電界効果トランジスタの高出力動作

High Power Operation of Normally-Off Type GaN MOSFETs

新山 勇樹*
Yuki Niiyama

品川 達志*
Tatsuyuki Shinagawa

大友 晋哉*
Shinya Ootomo

神林 宏*
Hiroshi Kambayashi

野村 剛彦*
Takehiko Nomura

加藤 禎宏*
Sadahiro Kato

概要 自動車や家電用電源回路に組込むパワートランジスタを開発した。半導体材料としてシリコン (Si) に比べて絶縁破壊電界が高く、飽和速度が高い特徴を有する窒化ガリウム (GaN) を用いた。パワートランジスタは、システムの安全面からノーマリオフ動作 (ゲート電圧を印加しなければ電流が流れない) が要求されているため、金属/酸化膜 SiO_2 /半導体 GaN の MOS (metal-oxide-semiconductor) 構造を採用した。 SiO_2 /GaN の界面品質を向上させ、金属と GaN の接触抵抗を低減することにより、GaN 系 MOSFET の高温かつ高出力動作を実現した。しきい値電圧は +3 V、耐圧は 1550 V 以上、電流は 2.2 A 以上、最大動作温度は 250°C であった。

1. はじめに

パワートランジスタは、インバータなどの電源回路に組まれるスイッチング素子である。インバータは交流の周波数を変換させてモータを制御できるので、モータの省エネのための最適制御に用いられる。それゆえ、エアコンや IH 調理器などの省エネ家電、産業用途のモータ、更にはハイブリッド自動車等々に広く使用されている。パワートランジスタの高性能化は、インバータの低損失化を可能とし、エネルギー効率の向上につながり、環境問題の改善にも貢献できることから大きな期待が寄せられている。

現在パワートランジスタとして、シリコン (Si) 系絶縁ゲート型バイポーラトランジスタ (IGBT) が一般的に使用されている。しかしながら高温になると性能が劇的に劣化し、200°C を超えると動作電流が小さくなってしまう¹⁾。これは Si の材料自身の物性に起因するところが大きく、今後更に高温環境下でより大きな出力や小さなオン抵抗を実現させるには、新しい材料を用いたパワートランジスタを開発することが必要不可欠となる。

我々は新しい材料として窒化物半導体である窒化ガリウム (GaN) に着目した。GaN は Si に比べて高い絶縁破壊電界と最大飽和速度が高いといった特性を有しており、GaN 材料でパワートランジスタを実現させることにより、高耐圧と低オン抵抗が実現できる可能性がある^{2), 3)}。またオン抵抗の低減は言い換えると発熱量の低減であり、ヒートシンク等の冷却系の簡略化が可能となり、電源系回路の高効率化と小型化に大きく貢献できる。

GaN 材料を用いたパワートランジスタの構造として、ヘテロ構造電界トランジスタ (HFET) と金属/酸化物/半導体電界効果トランジスタ (MOSFET) の 2 種類が挙げられるが、これまでは AlGaIn/GaN 系 HFET が広く研究されていた^{4)~8)}。その理由は自発及びピエゾ分極により、AlGaIn/GaN 界面に 2 次元電子ガス (2DEG) が発生し、高い電子濃度を得られるためである。しかしながら AlGaIn/GaN 系 HFET は本質的にしきい値電圧が負となるため、ノーマリオン動作となる。したがってゲートバイアスを制御するドライブ回路が必要となり、回路の複雑化や高コスト化に対する検討も必要となる。特にパワーデバイス応用を考えた場合、現状の Si 系パワートランジスタの置き換えや停電時のサージ電圧による誤動作防止などの観点からは、ゲートに電圧を印加しない場合に電流が流れないノーマリオフ型のトランジスタがシステム側からの強い要求である。

一方、MOSFET はノーマリオフ動作が可能な構造である上に、低いゲートリーク特性や構造がシンプルであるなどの優れた点を有している。最近ではいくつかの研究機関が GaN 系 MOSFET の動作を報告している^{9)~13)}。Chow らは GaN 系 MOSFET を作製し、しきい値電圧 3.3 V、動作電流 10 mA、150°C での動作を実現しているが¹⁰⁾、更なる大電流、高温動作が要求されている。

図 1 に、GaN 系 MOSFET の性能向上に必要な課題を示す。母体となる GaN 結晶は、通常格子定数の異なる基板上にヘテロエピタキシャル成長させることで作製するために結晶中には多数の転位が存在し、デバイス特性や信頼性に影響を及ぼすので高品質化にはこの解消が必要不可欠となるが、基板と GaN 結晶との間の緩衝する役割を有するバッファ層と GaN 結晶の成長条件の最適化により良好な結晶品質の GaN 結晶が得られている¹⁴⁾。

* 研究開発本部 横浜研究所

今回開発したMOSFETにおいて特筆すべき課題は、図1に示すようにSiO₂/GaN界面の品質向上とソース及びドレイン電極下に選択的に形成するコンタクト層の低抵抗化である。MOSFETではゲート下においてGaN表面にチャンネルが形成され、ソースとドレイン間に電流が流れることでデバイス動作をする。SiO₂/GaN界面の品質が悪いと生成された界面準位でチャンネルを流れる電子が捕獲され、チャンネル抵抗が増加してしまう。またノーマリオフ動作で重要なパラメータであるしきい値電圧も設計値からずれてしまい、スイッチング時にリングングを起こすといった問題が生じてしまう。そのためにSiO₂/GaN界面の品質を向上させる、すなわち界面準位を低減させることが必要不可欠である。またコンタクト層は金属と半導体間に電流を流すために必要であるが、母体の結晶はp型伝導を有しており、n型ドーパントであるSiイオンを注入して、選択的にn型伝導を形成する。最適なイオン注入条件と注入することで発生した結晶ダメージを回復させ、Siを活性化させるための最適な熱処理条件を見付け出し、低抵抗なコンタクト層を形成することも必要となる。

本報告では、最初にSiO₂/GaN界面の品質向上と低抵抗コンタクト層形成のためのイオン注入技術の開発経過について述べる。更に、これらの要素技術を用いて作製したノーマリオフ型GaN系MOSFETのデバイス特性について述べる。

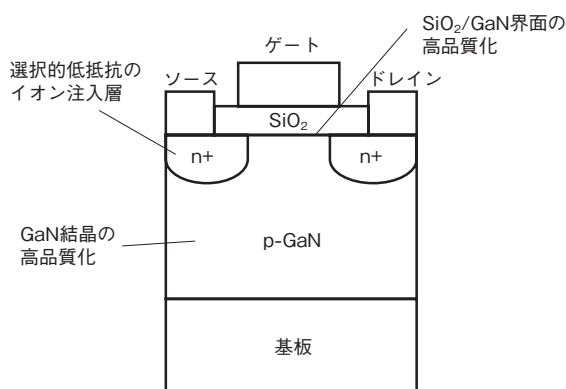


図1 GaN系MOSFETの高性能化のための課題
Developmental issues for high-performance of GaN MOSFETs.

2. SiO₂/GaN界面品質の向上^{15),16)}

SiO₂/GaNの界面準位密度を評価するために、MOSキャパシタを作製した。伝導帯底エネルギー近傍の界面準位を評価するためにn型GaNを用いた。まず有機金属化学気相堆積(MOCVD)法によって、膜厚1 μmのn型GaN ($N_d^+ - N_a^- \sim 2 \times 10^{17} \text{ cm}^{-3}$)をサファイア(0001)c基板上に成長し、次にGaN表面を一般的なRCA洗浄を行った。そしてプラズマ化学気相堆積(PECVD)法によって膜厚50 nmのSiO₂を堆積した。その後電気炉によって窒素フロー下でアニールを行った。次にスパッタ法及びリフトオフプロセスによって、オーミック電極(Ti/AlSi/Mo)とゲート電極(Ti/Au)を形成した。最後にインピーダンスアナライザによって、200℃における容量-電圧(C-V)特性を測定した。界面準位密度はターマン法によって算出し

た¹⁷⁾。

図2に、各温度でアニールされたSiO₂/GaN系MOSキャパシタの界面準位密度分布を示す。アニールの温度を上げることによって界面準位密度が低減し、900℃の場合伝導帯底エネルギーから0.4 eVのエネルギー位置において、界面準位密度は $1 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 以下であった。これらの値はMOSFETのデバイス動作するために十分に低いものである。

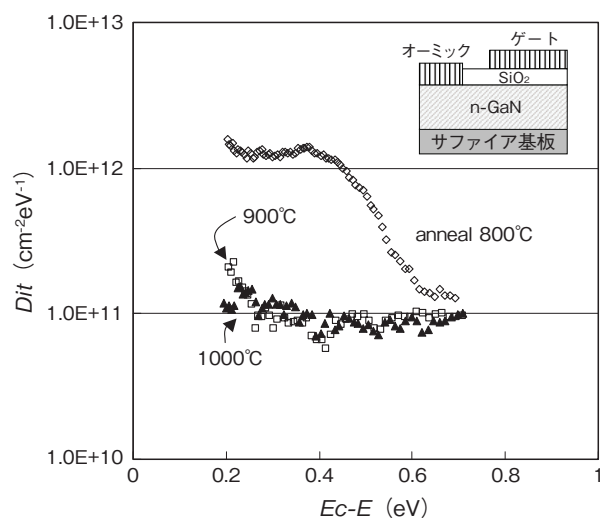


図2 SiO₂/GaN系MOSキャパシタにおける界面準位密度分布
Interface state density (D_{it}) of SiO₂/GaN, which was annealed at 800, 900, and 1000℃.

3. GaNへのSiイオン注入とその活性化^{18),19)}

我々はn⁺層形成のためのイオン注入と活性化アニール条件について研究した。n型ドーパントとしてSiを用いた。まずMOCVD法によって、膜厚2 μmのアンダー層及びMgドーパGaN ($[Mg] \sim 1 \times 10^{17} \text{ cm}^{-3}$)をサファイア(0001)c基板上に成長した。次にイオン注入時のダメージや汚染を抑制するために、PECVD法によってGaN上に膜厚20 nmのSiO₂(screen oxide)を堆積した。そしてSiのイオン注入を行った。Siの深さプロファイルの深さ150 nm分だけ平滑化するために4段注入を行った。打込みエネルギーは190 keV, 120 keV, 60 keV及び30 keVである。次にscreen oxideを除去した後膜厚500 nmのSiO₂キャップ層を堆積した。そして高速アニール(RTA)装置を用いてAr雰囲気中において活性化アニールを行い、その後キャップ層を除去した。最後にホール測定(Van der Pauw法)によって、イオン注入層のシート抵抗とシートキャリア密度を測定した。

図3に、Siイオン注入及び活性化アニールを施したGaNのホール測定結果を示す。Siの注入量(ドーズ量)が減少することにより、活性化率(シートキャリア密度をSiドーズ量で除した値)が低下する傾向が見られた。これらは結晶欠陥によって発現した準位が活性化したドナーを補償しているものと思われる²⁰⁾。またMgドーパGaN中に形成したイオン注入層の活性化率は、アンダー層GaN中に形成したイオン注入層に比べて低くなった。アクセプタが活性化したドナーを補償しているものと考えられる。1260℃/30秒間の活性化アニールでは、

1200°C / 10秒間での条件に比べて活性化率が向上した。つまり活性化のためには高いサーマルバジェットが必要であることが分った。結果として我々はSi ドーズ量 $3 \times 10^{15} \text{ cm}^{-2}$ において、シート抵抗 $26 \text{ } \Omega/\text{sq.}$ 、シートキャリア密度 $\sim 3 \times 10^{15} \text{ cm}^{-2}$ (活性化率 $\sim 100\%$) と十分低い抵抗のn+層を形成できた。更にSi ドーズ量が 10^{13} cm^{-2} 台の低い領域においても活性化することに成功した。

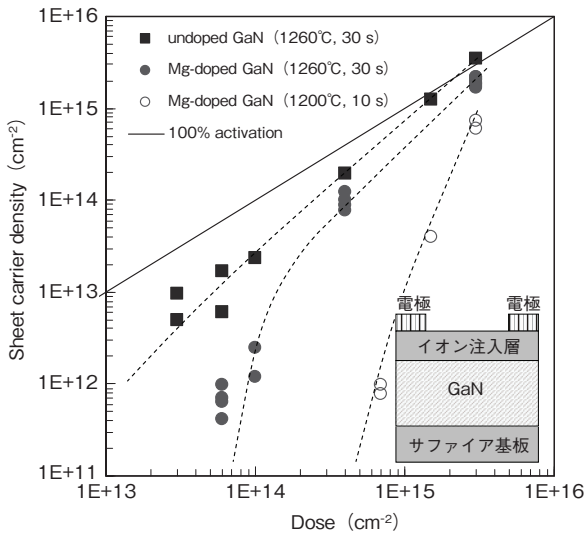


図3 シートキャリア密度とSi トータルドーズ量との関係
Relationship between sheet carrier density and Si total doses.

4. GaN系MOSFETの作製と大電流、高耐圧化^{21)~24)}

低抵抗のn+層及び良好な界面品質を有するSiO₂/GaNが形成できたので、これらの要素技術を用いてGaN系MOSFETを作製した。なおデバイスの設計については、紙面の都合上割愛するが、詳細は文献²⁵⁾を参考にいただきたい。

MOCVD法によってサファイア(0001)c基板上に膜厚1 μm のMgドープGaN ($[\text{Mg}] = 1 \times 10^{17} \text{ cm}^{-3}$) の結晶成長を行った。次にn+層形成のために、ソース及びドレイン領域にSiのイオン注入(トータルドーズ量 $3.0 \times 10^{15} \text{ cm}^{-2}$ 、深さ150 nm)を行ってから、RTAにより1260°C、30秒間、Ar雰囲気中で活性化アニールを行った。次にゲート酸化膜として膜厚60 nmのSiO₂をPECVD法によってGaN表面に堆積した後、界面準位低減のために電気炉によって900°C、30分間、窒素フロー下でアニールを行った。そして、ウェットエッチングによって、ソース及びドレイン領域の開口を行った後、ソース及びドレイン電極としてTi / Alをスパッタ法によって蒸着し、リフトオフプロセスを行ってから、600°C、5分間、窒素雰囲気中でアニールを行った。n+層のシート抵抗と接触比抵抗は、それぞれ65 $\Omega/\text{sq.}$ 、 $1.9 \times 10^{-7} \text{ } \Omega\text{cm}^2$ であった。そしてスパッタ法及びリフトオフプロセスによってゲート電極Ti / Auをゲート酸化膜SiO₂上に形成した。

図4に250°CにおけるGaN系MOSFETの電流-電圧(*I*-*V*)特性を示す。チャンネル長とゲート幅はそれぞれ4 μm と16 mmである。出力特性において、ゲート電圧によってドレイン電流が

変化し、ドレイン電圧によってドレイン電流の増加(線形領域)及び飽和(飽和領域)する振舞いが明らかに観測され、トランジスタとしての動作を確認した。ゲート電圧+15 Vにおけるドレイン電流は2 A以上であった。我々の知る限り250°Cでの動作温度は世界最高である。またGaN系MOSFETにおいて、1 A動作をはじめて観測した。伝達特性においてしきい値電圧は+3 Vであり、ノーマリオフ動作を確認した。また弱反転が発生するゲート電圧も0 Vを超えている。サブスレッショルド係数は328 mV/dec.で、ゲートリーク電流は100 nA以下であった。またOn/Off比は10⁵であった。

しかしながら、このデバイス構造ではゲート酸化膜のドレイン端に電界が集中するため、トランジスタの耐圧がSiO₂の耐圧に律則される。その結果、耐圧は高々40 V程度であった。電界集中の箇所を分散させるために、ゲートとドレインの間にn-層(表面電界緩和REDUCED SURFACE FIELD: RESURF)を挿入し、n+層との間のポテンシャル(電位)を傾け、電界集中箇所を意図的に作る²⁶⁾。図5に(i) 通常のMOSFETと(ii) RESURF-MOSFETを示す。RESURFはゲートとドレイン電極の間に挿入されている。通常のMOSFETではゲート電圧 V_g がしきい値電圧よりも小さく、ドレイン電圧 V_d が非常に高い場合、ゲート酸化膜(図5(i)中のA部)近傍で破壊する。オフ状態ではソースとゲートは接地と同電位であり、またゲート酸化膜の抵抗はチャンネル領域の抵抗よりも大きい。そのためほとんど全ての電界はゲート酸化膜に集中し、ゲート酸化膜近傍で破壊する。一方RESURF-MOSFETの場合電界はゲート酸化膜(図5(ii)中のB部)とRESURF層(図5(ii)中のC部)の2箇所に分散する(厳密には、膜厚方向においても、n-層とp層の接合部に電界が集中するため、3箇所である)。それゆえ、ゲー

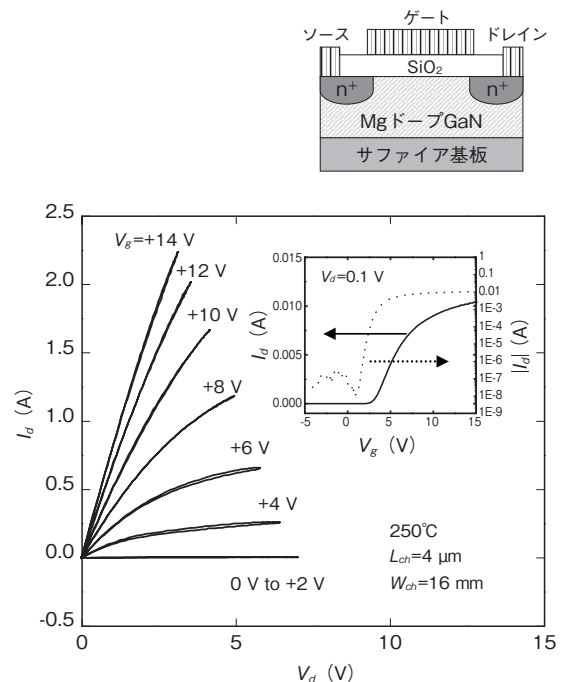


図4 250°Cにおけるゲート幅16 mmのGaN系MOSFETの出力特性。(挿入図: 伝達特性)
Output characteristics at 250°C of GaN MOSFET with gate width of 16 mm. (Inset: transfer characteristics)

ト酸化膜中にある電界が減少し耐圧が向上する。このRESURF層は前述と同様Siイオン注入によって形成できる。そこでGaN系RESURF-MOSFETを作製した。

RESURF層形成のためのSiドーズ量は $6 \times 10^{13} \text{ cm}^{-2}$ とした。活性化アニール後のシート抵抗及びシートキャリア密度は $23 \text{ k}\Omega/\text{sq.}$ 及び $1.1 \times 10^{12} \text{ cm}^{-2}$ であった。チャネルの長さ(L_{ch})とRESURFの長さ(L_{res})はそれぞれ、 $4 \mu\text{m}$ 、 $20 \mu\text{m}$ とし、ゲート幅(W_{ch})は 150 nm とした。

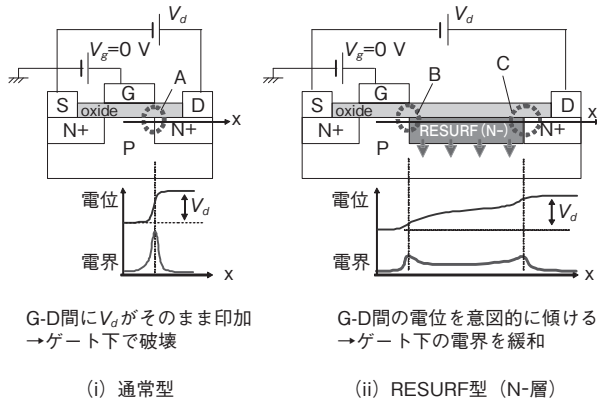


図5 (i) 通常型MOSFET, (ii) RESURF-MOSFETにおける電位と電界の分布の模式図
Schematic of potential and field of (i) conventional MOSFET and (ii) RESURF-MOSFET.

図6に、GaN系RESURF-MOSFETの出力特性を示す。耐圧は 1550 V 以上であった。この耐圧をRESURF長で除した値は $80 \text{ V}/\mu\text{m}$ であり、Siの絶縁破壊電界である $30 \text{ V}/\mu\text{m}$ をはるかに凌いでいる。更に動作電流は 2.5 A を越えた。GaN系MOSFETにおいて 1550 V 及び 2.5 A 動作を同一素子で実現したのは、我々が初めてである。これらの結果は我々の横型GaN系MOSFETがパワースイッチング素子に応用できることを明らかに示している。

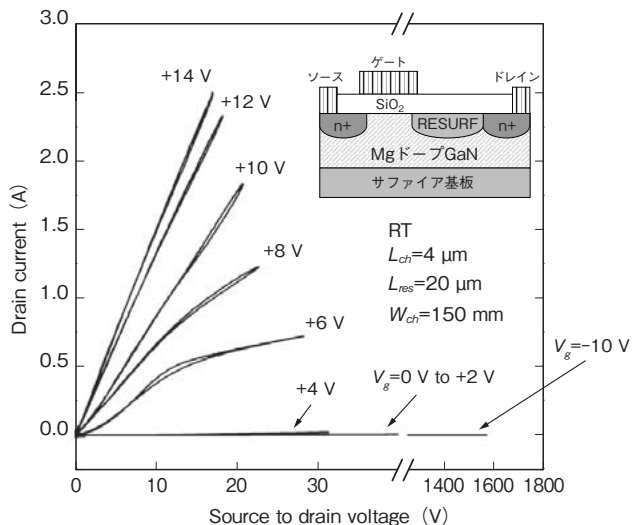


図6 GaN系RESURF-MOSFETの出力特性
Output characteristics of GaN RESURF-MOSFET.

5. おわりに

高温、大電流及び高耐圧が要求される電源回路に組込むためのパワーデバイスとして、GaN系MOSFETの開発を行った。

GaN系MOSFETの動作のためには、 n^+ 層の形成と SiO_2/GaN の界面準位低減が必要であり、 n^+ 層はSiイオン注入と活性化アニールによって形成された。Siのトータルドーズ量を $3 \times 10^{15} \text{ cm}^{-2}$ 、活性化アニールの条件を 1260°C 、30秒間としたとき、シート抵抗 $26 \Omega/\text{sq.}$ 、シートキャリア密度 $\sim 3 \times 10^{15} \text{ cm}^{-2}$ (活性化率 $\sim 100\%$) が得られた。また高品質な SiO_2/GaN 界面は、 900°C で30分間のアニールを施すことによって得られた。 200°C のC-V特性及びターマン法によって算出された界面準位密度は $1 \times 10^{11} \text{ cm}^{-2}\text{eV}^{-1}$ 以下 ($E_c-E=0.4 \text{ eV}$) であった。

そしてサファイア(0001)c基板上にGaN系MOSFETを作製し、世界最高温度である 250°C において、デバイス動作を確認した。しきい値電圧は $+3 \text{ V}$ であり、動作電流は 2 A を越えた。更に、高耐圧化のためにGaN系RESURF-MOSFETを作製した。その結果耐圧 1550 V 以上、動作電流 2.5 A 以上のデバイス動作を達成した。

我々はGaN系MOSFETを用いることにより、自動車や家電用電源回路以外にも高温動作を必要とする領域に応用できると期待している。

謝辞

本研究は各大学との産学連携により遂行させていただきました。MOSFETのプロセス技術について議論させていただいた米国レンセリール工科大学(RPI)のTat-sing Paul Chow教授、Weixiao Huang博士(現Freescall Semiconductor, Inc.)、界面特性評価技術について教示いただいた北海道大学の橋詰保教授、イオン注入装置及びRTAを使用させていただいた東京都市大学の白木靖寛副学長(東京大学名誉教授)及び澤野憲太郎講師に深く感謝いたします。

参考文献

- 例えば、P. Moens, F. Bauwens, B. Desoete, J. Baele, K. Vershinin, H. Ziad, E. M. S. Narayanan, and M. Tack: "Record-low on-Resistance for $0.35 \mu\text{m}$ based integrated XtremOSTM Transistors," in Proc. 19th ISPSD (2007), 57.
- B. J. Baliga: "Power semiconductor device figure of merit for high-frequency applications," IEEE Elect. Dev. Lett., **10** (1989), 455.
- S. Yoshida and J. Suzuki: "Reliability of GaN Metal Semiconductor Field-Effect Transistor at High Temperature," Jpn. J. Appl. Phys. **37** (1998), L482.
- S. Yoshida, J. Li, T. Wada and H. Takehara: "High-Power AlGaIn/GaN HFET with a Lower On-state Resistance and a Higher Switching Time for an Inverter Circuit," in Proc. 15th ISPSD (2003), 58.
- T. Kikkawa: "Highly Reliable 250 W GaN High Electron Mobility Transistor Power Amplifier," Jpn. J. Appl. Phys., **44** (2005), 4896.

- 6) Y. Niiyama, S. Kato, T. Satoh, M. Iwami, J. Li, H. Takehara, H. Kambayashi, N. Ikeda, and S. Yoshida: "Fabrication of AlGaIn/GaN HFET with a high breakdown voltage on 4-inch Si substrate by MOVPE," in Abst. MRS fall meeting (2006), 234
- 7) Y. Niiyama, M. Masuda, N. Ikeda, and S. Yoshida: "Induction heating system operation by soft switching GaN heterojunction field effect transistors," in Proc. 19th ISPSD (2007), 157.
- 8) W. Saito, T. Nitta, Y. Kakuuchi, Y. Saito, K. Tsuda, and I. Omura: "On-resistance modulation of high voltage GaN HEMT on sapphire substrate under high applied voltage," IEEE Elect. Dev. Lett., **28** (2007) 676.
- 9) Y. Irokawa, Y. Nakano, M. Ishiko, T. Kachi, J. Kim, F. Ren, B. P. Gila, A. H. Onstine, C. R. Abernathy, S. J. Pearton, C. C. Pan, G. T. Chen, and J. I. Chyi: "MgO/p-GaN enhancement mode metal-oxide semiconductor field-effect transistors," Appl. Phys. Lett., **84** (2004), 2919.
- 10) K. Motocha, T. P. Chow, and R. J. Gutmann: "High-Voltage Normally Off GaN MOSFETs on Sapphire Substrates," IEEE Trans. Electron Devices, **52** (2005), 6.
- 11) W. Huang, T. Khan, and T. P. Chow: "Enhancement-Mode n-Channel GaN MOSFETs on p and n-GaN/Sapphire Substrates," in Proc. 18th ISPSD (2006), 796.
- 12) H. B. Lee, H. I. Cho, H. S. An, Y. H. Bae, M. B. Lee, J. H. Lee, and S. H. Hahm: "A Normally Off GaN n-MOSFET With Schottky-Barrier Source and Drain on a Si-Auto-Doped p-GaN/Si," IEEE Elect. Dev. Lett., **27** (2006), 81.
- 13) S. Jang, F. Ren, S. J. Pearton, B. P. Gila, M. Hlad, C. R. Abernathy, H. Yang, C. J. Pan, J. I. Chyi, P. Bove, H. Lahreche, and J. Thuret: "Si-Diffused GaN for Enhancement-Mode GaN MOSFET on Si Applications," J. Electron. Materials **35** (2006), 685.
- 14) H. Amano, N. Sawaki, I. Akasaki, and Y. Toyoda: "Metalorganic vapor phase epitaxial growth of a high quality GaN film using an AlN buffer layer," Appl. Phys. Lett. **48** (1986), 353.
- 15) Y. Niiyama, T. Shinagawa, S. Ootomo, H. Kambayashi, T. Nomura, and S. Yoshida: "High-quality SiO₂/GaN interface for enhanced operation field-effect transistor," in Abst. IWN (2006), 148.
- 16) Y. Niiyama, T. Shinagawa, S. Ootomo, H. Kambayashi, T. Nomura, and S. Yoshida: "High-quality SiO₂/GaN interface for enhanced operation field-effect transistor," phys. stat. solid. (a) **204** (2007), 2032.
- 17) L. M. Terman: "An investigation of surface states at a silicon/silicon oxide interface employing metal-oxide-silicon diodes," Solid State Electron., **5** (1962), 285.
- 18) Y. Niiyama, S. Ootomo, H. Kambayashi, T. Nomura, and S. Yoshida: "High Activation Un- and Mg-doped GaN on Sapphire Substrate by Using Rapid Thermal Annealing," in Abst. ICCG (2007), wg-40.
- 19) Y. Niiyama, S. Ootomo, J. Li, H. Kambayashi, T. Nomura, S. Yoshida, K. Sawano and Y. Shiraki: "Si Ion Implantation into Mg-Doped GaN for Fabrication of Reduced Surface Field Metal-Oxide-Semiconductor Field-Effect Transistors" Jpn. J. Appl. Phys., **47** (2008), 5409.
- 20) S. M. Sze, Physics of Semiconductor Devices (Wiley, New York, 1981), 2nd ed., 390.
- 21) Y. Niiyama, H. Kambayashi, S. Ootomo, T. Nomura, S. Yoshida and T. P. Chow: "Over 2 A Operation at 250°C of GaN Metal-Oxide-Semiconductor Field Effect Transistors on Sapphire Substrates," Jpn. J. Appl. Phys., **47** (2008), 7128.
- 22) W. Huang, T. P. Chow, Y. Niiyama, T. Nomura, and S. Yoshida: "Lateral Implanted RESURF GaN MOSFETs with BV Up to 2.5 kV," in Proc. 20th ISPSD (2008), 291.
- 23) Y. Niiyama, H. Kambayashi, S. Ootomo, T. Nomura, and S. Kato: "Over 1500 V/2 A operation of GaN RESURF-MOSFETs on sapphire substrate," Electron. Lett., **45** (2009), 379.
- 24) Y. Niiyama, H. Kambayashi, S. Ootomo, N. Ikeda, T. Nomura, and S. Kato: "GaN MOSFETs with Large Current and Normally-Off Operation," ECS Trans., **16** (2008), 161.
- 25) Y. Niiyama, IEEE Trans. Elect. Dev., to be submitted.
- 26) J. A. Apples and H. M. J. Vaes: "High voltage thin layer devices (RESURF devices)," IEDM Tech. Dig., (1979), 238.