

高耐圧高温動作 GaN パワーデバイスの高性能化

High-Performance GaN Power Device for High-Temperature Operation

神林 宏* 神谷 慎一* 池田 成明* 李 江* 加藤 禎宏*
Hiroshi Kambayashi Shin-ichi Kamiya Nariaki Ikeda Jiang Li Sadahiro Kato

石井 園美* 佐々木 康真* 吉田 清輝* 増田 満*2
Sonomi Ishii Yasumasa Sasaki Seikoh Yoshida Mitsuru Masuda

概 要 GaNはSiCやAlN等のワイドバンドギャップ半導体などと同様に、高耐圧、高周波、高温動作が可能であるなどの優れた特徴を持つことから、電力変換素子などへの応用が期待される。今回我々は、AlGaIn/GaN HFETのオーミック電極に、独自のTi/AlSi/Mo電極の適用を検討した。その結果、Ti/Alと比較して1/3以下の接触線抵抗を得ることができた。この電極を用いてゲート幅200 mmのAlGaIn/GaN HFETを作製した結果、室温での動作電流で20 A以上、500 K環境下で10 A以上を達成し、オフ耐圧は500 K環境下において450 Vを超えた。また、高屈折率SiN_xを表面保護膜に用いることにより、SiO₂と比較して約2けたのゲートリーク電流の低減を実現した。

1. はじめに

近年、二酸化炭素の削減など環境対策を考えたエネルギー開発の必要性がますます高まってきている。特に、大気温室効果ガスを安定化させることを目的として2005年2月16日に発効された京都議定書により、我が国も温室効果ガスを1990年比で、2008年～2012年に6%削減することを義務付けられている。このような背景から、効率の良い電力および省エネルギー対策が必要になってくる。現行、電力変換デバイスにはSi系のスイッチング素子が用いられているが、近年Siの物性上の限界に近づきつつあり、Siに変わる材料が望まれる。

一方、GaNはSiCやAlN等のワイドバンドギャップ半導体などと同様に、Siと比較してバンドギャップ幅が約3倍広く、絶縁破壊電界強度が約1けた大きいために、耐熱性や耐電圧性に優れ、さらに高周波動作が可能であるなど、さまざまな優れた性能指数を持つ^{1)～6)}。

特に注目すべきは、FETの動作時のオン抵抗(R_{on})を、理想的にはSi系のものと比較して1けた以上低くすることができる。よって、冷却系の簡素化、小型軽量化が期待でき、Siに置き換わる超低電力損失パワー素子の半導体材料として注目されている。

GaNは青色LEDやレーザー等の発光デバイスの分野において先行して開発が行われてきた。しかし、上記の優れた特徴や、社会的なニーズから、電子デバイスの分野における研究開発も進められている。特にAlGaIn/GaN HFET構造は、キャリア供給層のAlGaIn層に不純物を添加するとAlGaIn/GaN ヘテロ界面に2次元電子層と呼ばれる高濃度電子層が形成されるという

特徴を持つことから、これまでのデバイス特性をりょうがする高周波高出力素子を実現できる可能性を秘めている。当社においてもいち早く開発に着手し、これまでに、世界で初めてAlGaIn/GaN HFETを用いたインバータ回路を試作した結果を報告した。このインバータは、AlGaIn/GaN HFETを用いたDCコンバータとACインバータから構成されている。その時の動作出力は、50 Wであり、最大出力200 Wであった⁷⁾。さらに最近では、200 Wを超える高出力デバイス⁸⁾の報告もなされており、高出力パワー素子としての応用が期待される。

本報告では、AlGaIn/GaN HFETにおいて、まず低オン抵抗化のために独自のオーミック電極であるTi/AlSi/Mo構造について検討した結果について説明する。また、このオーミック電極を大素子(ゲート幅:200 mm)に展開し、高温環境下での動作のために設計したパッケージに実装して特性を評価した結果、高温環境下(500 K)において良好な動作を確認したことについて説明する。さらに、低ゲートリーク電流化のために表面保護膜SiN_xの屈折率に注目し検討を行った結果について説明する。

2. AlSi系オーミック電極による低オン抵抗化

FETの高性能化のためには、低オン抵抗化が必要であり、そのためにはオーミック電極とAlGaIn層の低接触抵抗化が必要である。これまでに報告されている例としては、n型ドーパントであるSiをAlGaIn層にインプラするなどの手法が用いられている^{9)～11)}。我々も低オン抵抗化のために、オーミック電極直下に高濃度のn-GaN層を選択成長(selective area growth:SAG)することで、低接触抵抗を得てきた¹²⁾。しかし、この手法では、選択成長を行った際に、選択成長層の形成不良などによる歩留まりの低下、また結晶性の悪化やダメージの誘

* 研究開発本部 横浜研究所

*2 研究開発本部 環境・エネルギー研究所

起によるものと思われる耐圧の低下を招く。以上の問題をかんがみて、AlGaN層上に特別な加工をすることなく、直接低接触抵抗のオーミック電極を形成することが必要であると考えられる。

これまでの報告では、Ti/Al系のオーミック電極が多く用いられており、TiをAlGaN上のコンタクト電極とし、高温で熱処理することで、Al拡散によって窒素空孔が形成されることが、低接触抵抗化に寄与しているとの報告がある¹³⁾。しかし、Alの融点が660℃程度と低いため、高温熱処理が困難であり、十分に接触抵抗を下げるできない。また高温熱処理により電極表面が劣化してしまうという問題がある。そこで、融点の高いバリア金属を間に挟んだ多層構造電極による検討が試みられており、低接触抵抗化、および表面状態の改善などが達成されている^{14)～17)}。

今回我々は、低接触抵抗化のために、数多く報告されているTi/AlのAlをAlSiに変更し、さらに高融点で、かつ比較的金属抵抗率の低いMoを最表面に配置したTi/AlSi/Mo電極構造を適用し、その効果を検証した。

本報告におけるエピタキシャルウェハは、すべてMOCVD法により2インチサファイア(0001)基板上に、バッファ層、GaN層(膜厚3 μm)、Al_xGa_{1-x}N層(x = 0.22, 膜厚30 nm)を順次形成したものを用いている。

検討したオーミック電極の構造は、Ti(25 nm)/AlSi(100 nm)/Mo(200 nm)であり、スパッタリング法により形成した。オーミック電極形成後、850℃、30 sの熱処理を施している。

接触線抵抗(R_c)およびチャネルシート抵抗(R_{sh})の評価は、TLM (transfer length measurement) 法を用いて行った。TLMパッドのギャップは10, 20, 30, 40, 50, 100 μmである。検討したオーミック電極の構造およびTLMの評価結果を表1に示す。接触線抵抗は最も低いもので、0.48 Ω mmが得られTi/Alと比較すると、1/3以下まで低減することができた。また、熱処理前後のTi/AlSi/Mo構造の表面状態について、AFMを用いて観察した。熱処理前後で表面状態の変化はほとんど認められず、RMSは熱処理前が5.5 nmであったのに対し、熱処理後は5.7 nmとほぼ同程度であった。

Ti/AlSi/Moによって接触線抵抗が改善されたのかを理解するために、我々はアニール後の試料についてオージェ電子分光法(Auger electron spectroscopy: AES)による分析を行った。その結果を図1に示す。図1に観察されるように、AlSiのSiがAlGaNと電極の界面まで拡散していることが分かった。このことが接触線抵抗の改善に寄与していると考えられる。以上、Ti/AlSi/Mo電極構造により、一般的に用いられているTi/Alよりも接触線抵抗が大幅に改善でき、さらに熱処理による電極表面の劣化も防止できる優れたオーミック電極が提供できることが分かった。そこで、実際にTi/AlSi/Moオーミック電極を

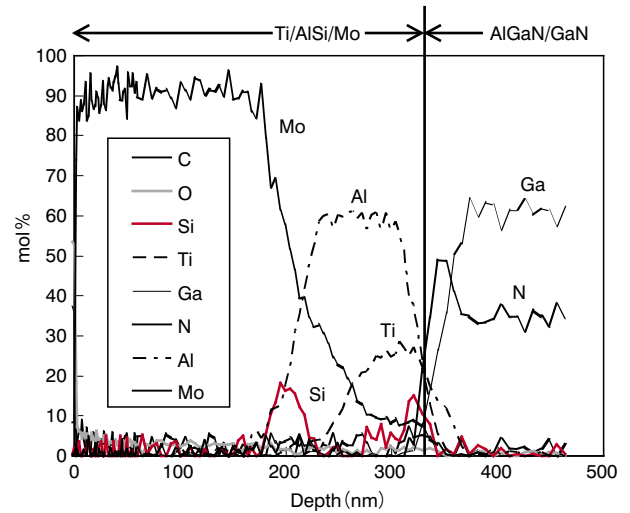


図1 Ti/AlSi/Mo電極の熱処理後のAES分析
AES analysis of selected Ti/AlSi/Mo ohmic electrode after thermal treatment.

用いてAlGaN/GaN HFET素子を作製した。作製した素子の概要は図2に示すとおりであり、ゲート長2 μm、ゲートドレイン間10 μm、ゲートソース間3 μm、ゲート幅400 μmである。図3にゲート幅400 μmの素子の電流電圧特性を示す。オン特性においては、ゲート電圧0 Vにおいて、250 mA/mm以上の電流を得ることができた。またオン抵抗は、11.6 Ω mmであり、良好な特性を得ることができた。

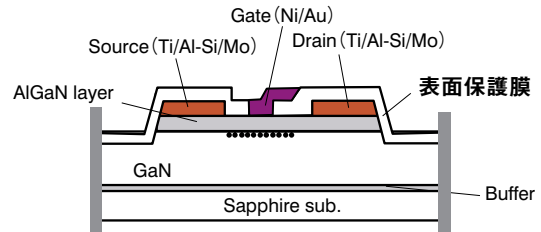


図2 AlGaN/GaN HFETの概観図
Cross sectional view of AlGaN/GaN HFET.

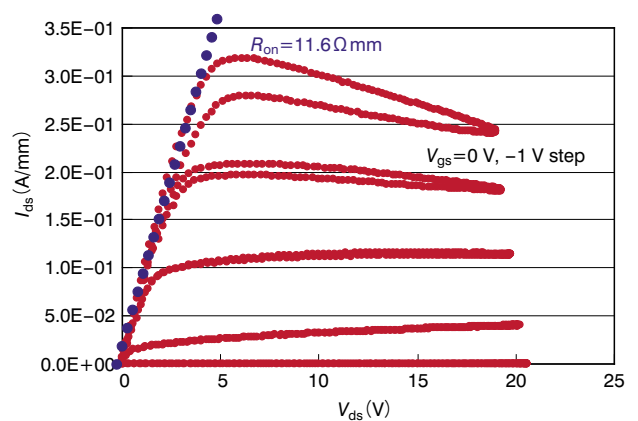


図3 AlGaN/GaN HFETの電流電圧特性($W_g = 400 \mu\text{m}$)
 I - V characteristics of selected AlGaN/GaN HFET.
($W_g = 400 \mu\text{m}$)

表1 オーミック電極検討結果
Results of investigations of ohmic electrodes.

Barrier metal	Mo	なし	Mo
Al or Al-Si	Al-Si	Al	Al
R_c (Ω mm)	0.48	1.66	NG
R_{sh} (Ω /□)	432	426	—

3. ゲート幅200 mm AlGaN/GaN HFET

これまで示してきたTi/AlSi/Moオーミック電極構造を適用

し、ゲート幅を200 mmまで拡大したAlGaIn/GaN HFETを作製した。図4にその外観を示す。基本的な断面構造は図2に示すとおりであり、ゲート長2 μm 、ゲートドレイン間10 μm 、ゲートソース間3 μm である。ゲート幅が200 μm のユニットFETを1000ユニット、ソース、ゲート、ドレイン電極をそれぞれ連結することにより、大素子であるゲート幅200 mmのAlGaIn/GaN HFETが形成される。

3.1 オン抵抗

図5に、室温でゲート幅200 mm AlGaIn/GaN HFETのオン抵抗の評価を行った結果を示す。オン抵抗は $55.1 \pm 1.9 \text{ m}\Omega$ であり、面内均一性は良好であった。有効素子面積が12 mm^2 であるから、単位面積当たりのオン抵抗は $6.6 \text{ m}\Omega \cdot \text{cm}^2$ となる。

3.2 パッケージ

高温環境化での動作を目的としてAlGaIn/GaN HFETを実装するためのパッケージを設計した。設計したパッケージの外観を図6に示す。パッケージ部材は熱拡散を考慮して選定した。パッケージの熱抵抗について熱解析シュミレーションを行った結果、0.45 K/Wと見積もられ、良好な放熱特性を示すことが分かった。

3.3 実装したAlGaIn/GaN HFETの特性評価

設計したパッケージに作製したAlGaIn/GaN HFETの実装を

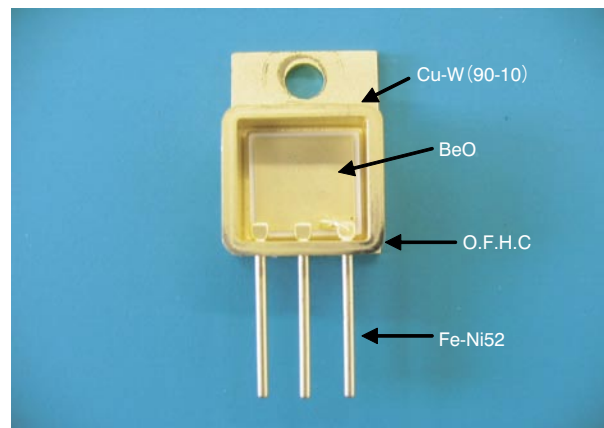


図6 パッケージ外観
Package for high-temperature operation HFET.

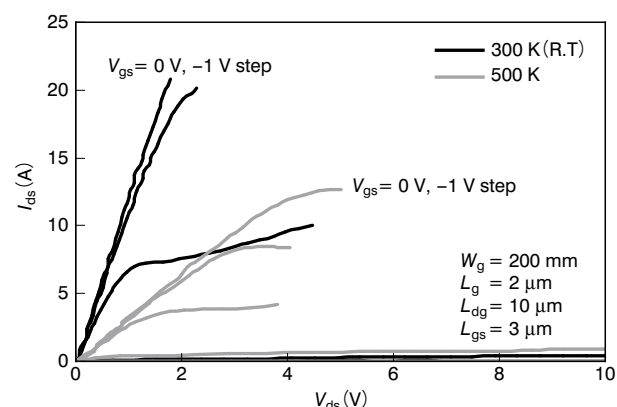


図7 AlGaIn/GaN HFETの電流電圧特性 ($W_g = 200 \text{ mm}$)
I-V characteristics of selected AlGaIn/GaN HFET. ($W_g = 200 \text{ mm}$)

行い、HFETの特性を評価した。図7にその電流電圧特性を示す。ドレイン電流は室温(300 K)で20 A以上を得ることができた。また、500 Kにおいても10 A以上を得ることができた。これらの結果は、Ti/AlSi/Moオーミック電極を適用したことによりオン抵抗を低減することができたことに大きく起因していると考えられる。また、500 Kの高温環境下においても高出力動作が達成できたことは、GaNの材料自身が有する優れた

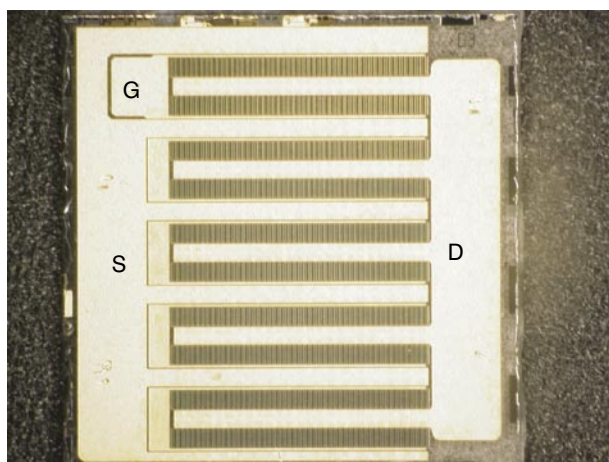


図4 ゲート幅200 mm AlGaIn/GaN HFET
AlGaIn/GaN HFET with 200-mm gate width.

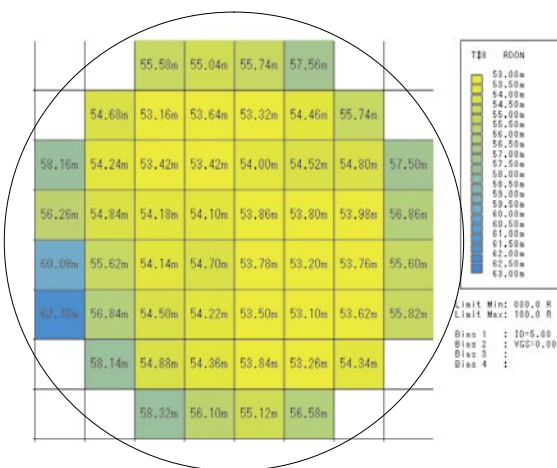


図5 オン抵抗評価結果 ($I_{ds}=5 \text{ A}$)
Measurement results of on-state resistance distribution.

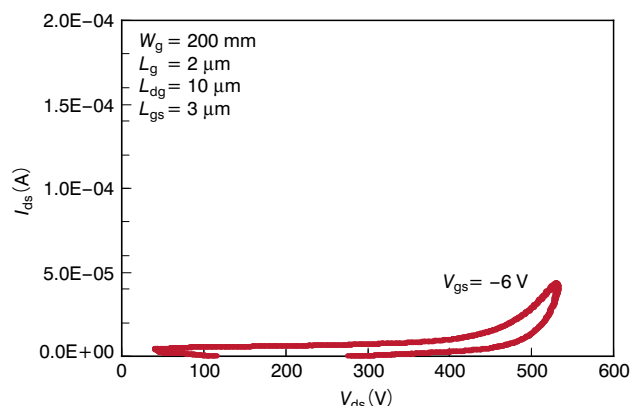


図8 AlGaIn/GaN HFETのオフ耐圧特性
Off-breakdown voltage characteristics of AlGaIn/GaN HFET. (Enlarged view)

温度特性を示唆するものであると考えられる。図8に500 Kの高温環境下においてオフ特性を測定し、オフ耐圧を評価した結果を示す。オフ耐圧は450 Vを超える高耐圧化を実現した。

4. 低ゲートリーク電流化のための SiN_x 保護膜の検討

AlGaN/GaN HFETの実用化への課題として、高電圧動作時にドレイン電流が大幅に減少する電流コラプス現象と呼ばれる現象の抑制や、非常に大きなゲートリーク電流の低減が挙げられる。これらの課題は、表面状態に大きく起因した問題であると考えられる¹⁸⁾。そこで、リセスゲート構造¹⁹⁾や、フィールドプレート構造²⁰⁾、MIS構造²¹⁾、²²⁾、表面保護膜²³⁾～²⁵⁾などの検討がなされている。特に、SiN_xを表面保護膜に適用することにより電流コラプスを抑制するということは多数報告されている。これらはSiN_xやSiO₂などの表面保護膜と、AlGaN(GaN)との界面単位密度の違いによるものであると考えられ、SiN_xを適用した場合、SiO₂と比較してその界面単位密度が1けた以上低くなるという報告がある²⁵⁾。よって、電流コラプスの抑制のためにはSiN_xを表面保護膜へ適用することが有効であると考えられる。一方、GaAs系FETでは、表面保護膜の応力によって発生するピエゾ電荷がゲート端に集中することにより、特性を劣化させるという報告がある²⁶⁾。そこで、我々はSiN_xの応力に注目し、膜の応力がゲートリーク電流に及ぼす影響について検討した。

4.1 SiN_xの応力評価

まず、Si基板上に300 nmのSiN_xをP-CVD法により屈折率を変えて成膜し、応力の屈折率依存性を調べた。応力の評価は、SiN_xの成膜前後での基板の反り量を測定し、応力を算出することにより行った。図9に結果を示す。SiN_xの応力は、すべて tensile stress (引張り応力) であり、高屈折率側にシフトするに従い応力が減少し、屈折率約2.1ではほぼ一定となる。また、比較のためにSiO₂も同様の評価を行った結果、SiO₂の応力は2.46 Paであり、SiN_xとは逆の、compressive stress (圧縮応力) であることが分かった。

4.2 AlGaN/GaN HFETの特性評価

表面保護膜は表2に示すとおり、屈折率を変化させた3種類のSiN_x、およびSiO₂で4種類を適用した。評価した素子は、ゲート長2 μm、ゲートドレイン間10 μm、ゲートソース間3 μm、ゲート幅400 μmである。

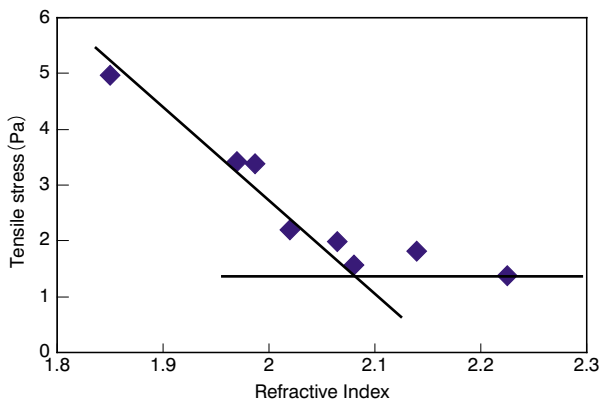


図9 SiN_x応力の屈折率依存性
Relationship between stress and refractive index in SiN_x layer.

表2 表面保護膜の屈折率および応力
Refractive index and stress of passivation films.

表面保護膜	屈折率	応力 (Pa)
SiN _x (1)	1.85	-4.98
SiN _x (2)	2.02	-2.19
SiN _x (3)	2.09	-1.65
SiO ₂	1.46	+2.46

応力: (+) Compressive, (-) Tensile

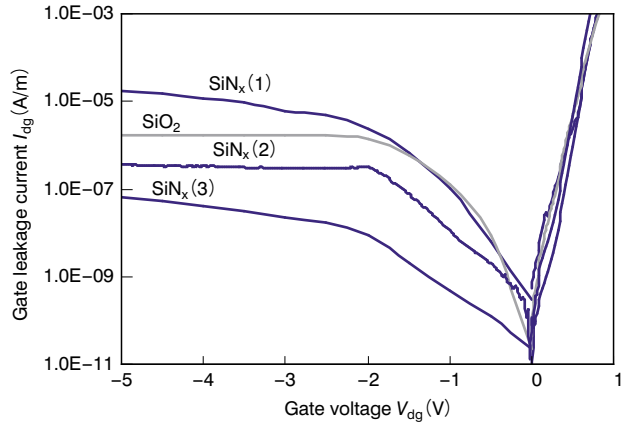


図10 ソースドレイン間の電流電圧特性
I-V characteristics for source-drain.

図10に、ゲートドレイン間を測定することにより得られるゲートリーク電流 (I_{dg}) 特性を示す。SiN_xに注目すると、高屈折率側にシフトする、つまり応力が低減するに従ってゲートリーク電流が低減することが分かる。また、応力が絶対値でSiN_x (1) とSiN_x (2) の間に位置するSiO₂の特性についても、ゲートリーク電流はSiN_x (1) より低く、またSiN_x (2) より高い。以上の結果より、ゲートリーク電流は、応力に依存することが示唆される。また絶対値で応力が低い、すなわちSiN_xの屈折率が高いほどゲートリーク電流が低くなることが示唆される。さらに、高屈折率SiN_xを表面保護膜に適用することにより、SiO₂よりも2けたほど低くなることが分かった。図11に今回作製

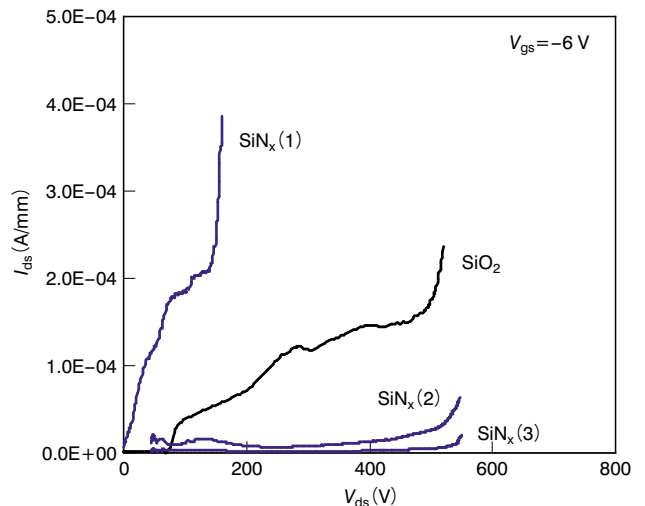


図11 オフ耐圧特性
Off-breakdown voltage characteristics.

した素子のオフ耐压特性を示す。ゲート電圧は -6 V を印加している。この結果、低屈折率である SiN_x (1) はリーク電流が低く、またオフ耐压も低い。さらに、 SiO_2 、 SiN_x (2)、 SiN_x (3) と絶対値で応力が低くなるにつれてリーク電流が低く、またオフ耐压が向上していることが分かる。これらの結果はゲートリーク電流を反映しているものであると考えられる。すなわち、ゲートリーク電流が低い高屈折率 SiN_x を表面保護膜に適用することにより、素子のリーク電流が低減し、オフ耐压が向上したと考えられる。

5. おわりに

電力変換素子などへの応用が期待される AlGaIn/GaN HFET の高性能化を検討した。まず我々の独自構造である $\text{Ti}/\text{AlSi}/\text{Mo}$ オーミック電極構造の適用により、 $0.48\text{ }\Omega\text{ mm}$ の接触線抵抗を実現した。この要素技術をゲート幅 $200\text{ }\mu\text{m}$ の大素子に適用した。その結果、単位面積当たりのオン抵抗で $6.6\text{ m}\Omega\cdot\text{cm}^2$ を得ることができた。また、高温環境下で動作するパッケージについて検討し、 AlGaIn/GaN HFET を実装、評価を行った結果、室温での動作電流で 20 A 以上、 500 K 環境下で 10 A 以上を達成し、オフ耐压は 500 K 環境下において 450 V を超えた。さらに、表面保護膜に高屈折率 SiN_x を適用することにより、 SiO_2 と比較して約2けたのゲートリーク電流の低減を実現した。以上の結果は AlGaIn/GaN HFET が高効率電力変換素子として有望であることを示唆するものであり、応用が期待できる。

参考文献

- 1) 吉田清輝: 応用物理学会誌, **68** (1999), 787.
- 2) E. O. Johnson: RCA Rev. **26** (1965), 163.
- 3) R. W. Keys: Proc. IEEE, **60** (1972), 225.
- 4) B. J. Baliga: IEEE Electron Device Lett. **10** (1989), 455.
- 5) B. J. Baliga: J. Appl. Phys., **53** (1982), 1759.
- 6) K. Shenai, R. S. Scott, and B. J. Baliga: IEEE Trans. Electron Device, **41** (1994), 1481.
- 7) S. Yoshida, J. Li, T. Wada, and H. Takehara: Proc. 15th ISPSD, (2003), 58.
- 8) T. Kikkawa, T. Maniwa, H. Hayashi, M. Kanamura, S. Yokokawa, M. Nishi, N. Adachi, M. Yokoyama, Y. Tatenno, and K. Joshin: IEEE Int. Microwave Symp. Dig., (2004), 1347.
- 9) Haijiang Yu, L. McCarthy, H. Xing, P. Waltereit, L. Shen, S. Keller, S. P. Denbaars, J. S. Speck, and U. K. Mishra: Appl. Phys. Lett. **85** (2004), 5354.
- 10) J. Burm, K. Chu, W. A. Davis, W. J. Schaff, L. F. Eastman, and T. J. Eustis: Appl. Phys. Lett., **70** (1997), 464.
- 11) D. Qiao, Z. F. Guan, J. Carlton, S. S. Lau and G. J. Sullivan: Appl. Phys. Lett., **74** (1999), 2652.
- 12) S. Yoshida, H. Ishii: Phys. Stat. Sol. (a), **88** (2001), 243.
- 13) V. Kumar, L. Zhor, D. Selvanathan, and I. Adesida: J. Appl. Phys., **92** (2002), 1712.
- 14) D. Selvanathan, L. Zhou, V. Kummar, and I. Adesida: Phys. Stat. Sol. (a), **194** (2002), 583.
- 15) D. Selvanathan, F. M. Mohammed, A. Tesfayesus, and I. Adesida: J. Vac. Sci. Technol. B, **22** (2004), 2409.
- 16) J. Gillespie, A. Crespo, R. Fitch, and D. Via: Solid-State Electron., **49** (2005), 670.
- 17) T. Nakayama, H. Miyamoto, Y. Ando, T. Inoue, K. Hataya, and M. Kuzuhara: Appl. Phys. Lett., **85** (2004), 3775.
- 18) 橋詰保, 長谷川英機: 電子情報通信学会技術研究報告, ED2003-204, (2004).
- 19) H. Okita, K. Kaifu, J. Mita, T. Yamada, Y. Sano, H. Ishikawa, T. Egawa, and T. Jimbo: Phys. Stat. Sol. (a), **200** (2003), 187.
- 20) Y. Okamoto, Y. Ando, K. Hataya, H. Miyamoto, T. Inoue, and M. Kuzuhara: Electron Lett., **39** (2003), 1474.
- 21) S. C. Binari, and H. B. Dietrich: Proc. 21st Int. Symp. On Compound Semiconductors, IOP Publishing, Bristol, (1995), 459.
- 22) T. Hashizume, T. Ootomo, and H. Hasegawa: Appl. Phys. Lett., **83** (2003), 2952.
- 23) R. Nakasaki, T. Hashizume, and H. Hasegawa: Physica E 7, (2000) 953.
- 24) R. Vetury, N. Q. Zhang, S. Keller, and U. K. Mishra: IEEE Trans. Electron Device, **48** (2001), 560.
- 25) T. Hashizume and R. Nakasaki: Appl. Phys. Lett., **80** (2002), 4564.
- 26) P. M. Asbeck, C. P. Lee, and M. F. Chang: IEEE Trans. Electron Device, **31** (1984), 1377.