

光インタコネクション用1060 nm VCSELアレイ

1060 nm VCSEL Array for Optical Interconnection

岩井 則広*
Norihiro Iwai

高木 啓史*
Keishi Takaki

清水 均*
Hitoshi Shimizu

今井 英*
Suguru Imai

川北 泰雅*
Yasumasa Kawakita

神谷 慎一*²
Shinichi Kamiya

平岩 浩二*
Koji Hiraiwa

高木 智洋*
Tomohiro Takagi

石川 卓哉*²
Takuya Ishikawa

築地 直樹*
Naoki Tsukiji

粕川 秋彦*
Akihiko Kasukawa

概要 近年の情報量の増加に伴い、ボード間のデータ通信などにおいて、光インタコネクションの普及が進んでいる。また、情報量の増加により、データセンタなどでは、低消費電力化のニーズが高まっている。当社では、波長1060 nm、素子構造にダブルイントラキャビティ構造を採用し、VCSELとしては世界最高の電力光変換効率62%を達成した。また、12チャンネルアレイにおいて、十分なアイ開口マージンを有する10 Gb/s動作を確認するとともに、信頼性試験では、計3,467素子の試験を実施し、1素子辺りの偶発故障のFIT数81FIT及び12チャンネル換算で972FITを実証した。これらの結果から、今回我々が開発した1060 nm VCSELは、今後低消費電力化が期待される、高速光インタコネクション用光源として有望である。

1. はじめに

近年の情報量の増加により、データセンタをはじめサーバや周辺機器においても、低消費電力化のニーズが高まっている。このような状況の中、光インタコネクションは低消費電力化においてキイとなる技術として注目されている。光インタコネクションでは、並列マルチチャンネルモジュールが採用されており、中でもキイパーツとなるVCSELアレイの低消費電力化が重要となる。近年、InGaAs歪量子井戸を活性層に用いたVCSEL^{1)~4)}の超高速動作やC-MOSのドライバICとの組み合わせでの低消費電力動作が報告されている。

今回我々は、光インタコネクション用光源をターゲットとし、材料特性に優れるInGaAs/GaAs歪量子井戸を活性層に用い、更に素子構造にダブルイントラキャビティ構造を用いた、1060 nm VCSELアレイの開発を行った。本報告では、世界最高の電力光変換効率62%の達成⁵⁾と、12チャンネルアレイにおける10 Gb/s動作、更には、計3,467素子を用いた信頼性試験の結果について報告する。

2. 1060 nm VCSELの素子構造

図1に、今回当社が開発した、酸化狭窄層を有する、ダブル

イントラキャビティ型VCSELの断面模式図を示す。Ⅲ族原料として金属Al, Ga, In, V族原料として熱分解したAs₂を用いた、分子線成長法MBE (molecular beam epitaxy) 法を用いて、ノンドープAlGaAs/GaAs下部DBR (distributed bragg reflector), InGaAs/GaAs 3層量子井戸活性層 (波長1060 nm), AlGaAs被酸化層、スペーサ層を順次積層した。ここで、ドーパントにはn型に固体Si, p型にガス相であるCBr₄を用いた。コンタクト層と電流拡散層は、光学損失を最小にするように、酸化層と上部DBRの間に挿入した。結晶成長後、メサポスト及び酸化電流狭窄層を順次形成し、p型及びn型電極は電子ビーム蒸着法で形成し、最後に上部DBRを形成した。これら一連のデバイス製作工程においては、各層の光学長を厳密にコントロールすることによって、低損失構造を実現することができる。

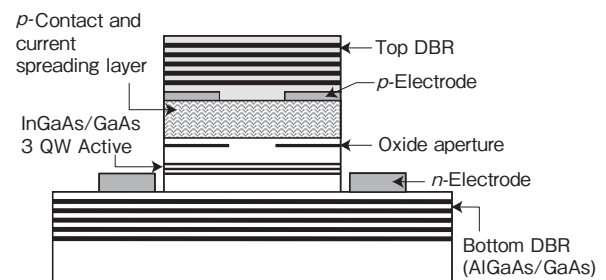


図1 1060 nm VCSELの断面模式図
Schematic diagram of 1060 nm VCSEL.

* 研究開発本部 横浜研究所 半導体研究開発センター

*² 研究開発本部 横浜研究所 信頼性グループ

3. 1060 nm VCSELの基本特性

図2に、酸化電流狭窄径7 μm の素子における電流 I (injection current) 対光出力 L (light output) と電圧 V (voltage) 特性及び電力光変換効率PCE (power conversion efficiency)を示す。なお、この測定に用いた素子は、上部DBRの反射率を高出力化用に最適化している。この結果、しきい値電流は0.7 mA、スロープ効率は1.0 W/Aが得られた。図2から分かるように、電力光変換効率は電流5 mAにおいて62%が得られ、この値は我々が知る限りVCSELでは世界最高の電力変換効率である。また、電力変換効率は10 mAまで55%を維持し、更に90°Cにおいても40%の値が得られている。その他、電気抵抗は50 Ω 、発振波長シフト量から見積った熱抵抗値は1.8 K/mWが得られた。更に、上部DBRのペア数を変化させた実験との比較から、この素子の光損失は3cm⁻¹、ミラー損失は22cm⁻¹と見積もられた。

今回の電力光変換効率62%を実現するために、我々はダブルイントラキャビティ構造において2つのアプローチを行った。第一に電流拡散層を共振器内に配置することにより、電気抵抗を減少させつつ、電流経路と光経路の重なり体積を最小化することにより低光損失を実現した。そのため、定在波の位置に注意しながら、電流拡散層のドーピング濃度制御を厳密に行った。もう一つは高Al組成DBRを下部DBRに用いた点である。これらの効果により低熱抵抗化を実現し、25 kA/cm²という高い電流密度や90°Cの高温においても、高い電力光変換効率を実現することができた。

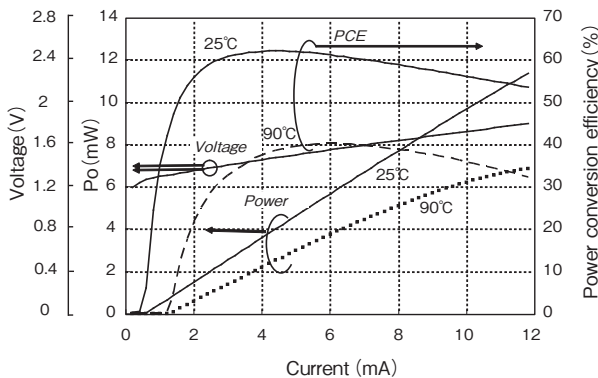


図2 25°C及び90°Cにおける電流対光出力&電圧特性及び電力変換効率
L-I-V curve and PCE under 25°C and 90°C .

4. 1060 nm VCSELアレイの特性

図3に、12チャンネルVCSELアレイの電流対光出力及び電圧特性を示す。ここで用いた素子の構造は、前述したダブルイントラキャビティ構造をベースとし、しきい値電流とスロープ効率のバランスから、上部DBRミラーの反射率を10 Gb/s動作に最適化したものである。この結果、しきい値電流は、25°Cで0.3 mA、90°Cで0.8 mAが得られ、スロープ効率は、25°Cで0.35 W/A、90°Cで0.25 W/Aであった。また、しきい値電圧とシリーズ抵抗については、25°C及び90°Cにおいてほぼ同じ値

となっており、それぞれ1.15 Vと60 Ω (3 mA動作時)であった。我々が採用した、ダブルイントラキャビティ構造では、一般的なDBRを通して電流を注入するタイプの構造に比べ、電流対電圧特性の温度依存性が小さいことが最大の特長である。また、発振波長1060 nm帯の採用により、現在市販されている一般的な850 nm帯と比較して、バンドギャップが小さいため、しきい値電圧自体が小さいことも特長の一つである。これらの特長は、ドライバICとの組み合わせにより、トータルの消費電力を低減できる可能性がある。

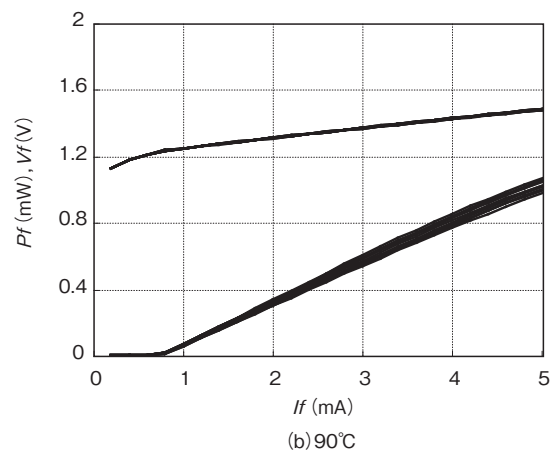
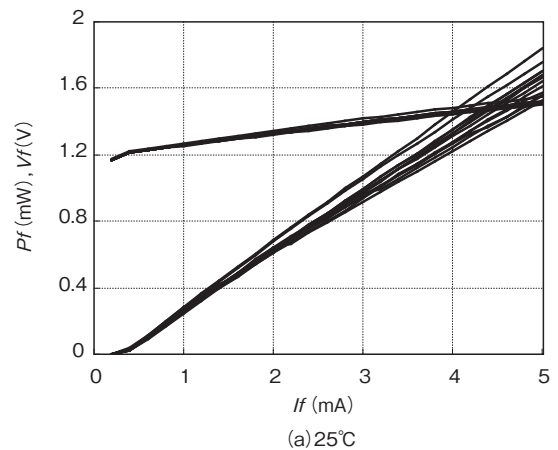


図3 12チャンネルVCSELアレイの電流対光出力及び電圧特性
L-I-V characteristics of 12 ch VCSEL array.

次に、10 Gb/sでの変調特性について述べる。図4に、バイアス電流3 mA時の典型的なアイパターンの一例を示す。アイは良好に開いており、20%から80%レンジでの立上り立下り時間は、それぞれ33 psと41 psであった。また、同時に挿入した10 GBASE-SRのアイマスクに対しても十分なマージンが得られている。今回の我々の測定系では、入力電気信号の立上り立下り時間がそれぞれ25.2 psと25.6 psであることから、VCSEL自体の立上り立下り時間の劣化は、それぞれ8 psと17 psと見積もられる。

今回開発したVCSELアレイを用いて作製された10 Gb/s $\times$ 12 ch並列光モジュールにおいて、7 mW/Gbps (送受信) という低消費電力動作が実現されている⁸⁾。

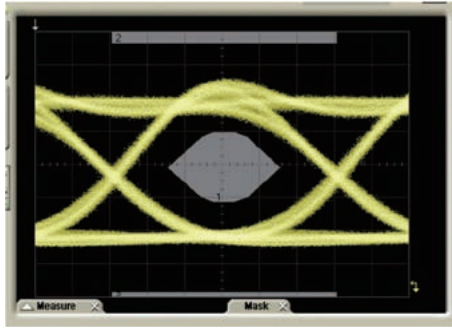


図4 10 Gb/s アイパターン (バイアス電流=3 mA)
10 Gb/s eye diagram at $I_b=3$ mA.

5. 1060 nm VCSELの信頼性

信頼性試験は市販のIC用パッケージ (20 pin dual in-line package) にVCSEL素子を実装して行った。また、全てのサンプルはエージング試験前に、バーンインを施している。特性のモニタは、ある一定時間毎にサンプルをオープンから取り出し、電流対光出力及び電圧特性の測定を25℃にて行った。なお、素子劣化のクライテリアは、一般的にVCSELの信頼性レポートで報告されている、光出力が初期値の2 dB低下した時点の時間とした。表1に、信頼性試験の条件及び結果の詳細を示す。偶発故障の算出は、Telcordia GR-468に準拠し、 $E_a=0.35$ eVと $n=0$ を用いた。今回の試験では、トータルで3,467個の素子を投入し、ファーストロットの1素子のみ劣化が観察された。この劣化の原因は、素子内のメサ上部とパッド電極間を結ぶ配線の断線が原因であることが分かっており、配線の構造を最適化したことで、以降のロットでは劣化は見られていない。今回の試験から見積もられる偶発故障のFIT (failure in term) 数は、1素子辺り81FITで、12チャンネルアレイ換算では972FITとなる。

図5に、90℃、6 mAと120℃、6 mAでエージング試験を行ったサンプルの光出力の変化量の推移を示す⁷⁾。この結果、光出力の漸次劣化は見られず、長時間安定に推移していることが分かる。また、光出力のみならず、しきい値電流についても、顕著な変化は見られず、今回の試験の範囲では磨耗故障は観察されていない。

これらの結果から、活性層がAlを含まないInGaAs/GaAsで構成された1060 nm帯VCSELは信頼性の観点でも優れていることが示された。

表1 信頼性試験の条件と結果

Reliability test conditions and test results.

Condition	Quantity (number of chips)	Aging duration (hours)	Device-hours @40℃, 6mA	Number of failures
70℃, 6 mA	1,026	338 – 5,736	8.8×10^6	1
90℃, 6 mA	1,044	338 – 5,758	1.6×10^7	0
120℃, 6 mA	1,397	400 – 3,842	2.3×10^7	0
Total	3,467		4.78×10^7	1

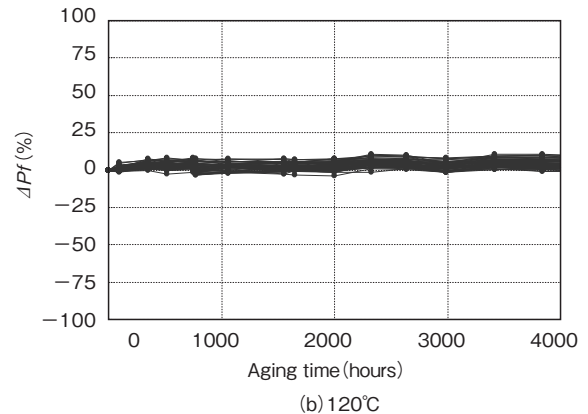
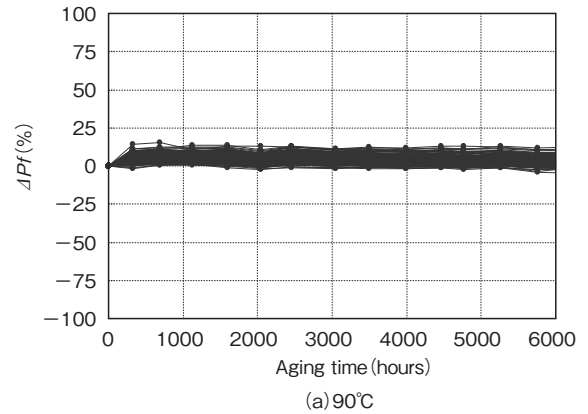


図5 信頼性試験における光出力の変化量 (取り出し測定における25℃, 6 mAの値)
Change of threshold current and output power in aging test. $L-I$ test was measured in ex-situ, 6 mA and 25℃. Two representative power variations are shown in aging of 90℃ (a) and 120℃ (b).

6. おわりに

今回我々は、波長1060 nm VCSELにおいて、ダブルイントラキャビティ構造を採用し、構造を高出力対応に設計することで、世界最高の電力光変換効率62%を達成した。また、10 Gb/s動作に最適化した12チャンネルアレイにおいては、十分なアイ開口マージンを有する10 Gb/s動作を確認するとともに、信頼性試験では、計3,467素子の試験を実施し、1素子辺りの偶発故障のFIT数81FIT及び12チャンネル換算で972FITを実証した。これらの結果から、今回我々が開発した1060 nm VCSELは、今後低消費電力化が期待される、高速光インタコネクション用光源として有望である。

参考文献

- 1) H. Hatakeyama, T. Anan, T. Aragawa, K. Fukatsu, N. Suzuki, K. Tokutome and M. Tsuji: "High reliable high speed 1.1 m-InGaAs/GaAsP-VCSEL," Proc. SPIE 7229, 722902-1-10, (2009)
- 2) Y. -C. Chang, C.S. Wang and L.A. Coldren: "High-efficiency, high speed VCSELs with 35 Gbit/s error free operation," Electron. Lett., **43**, (2007), 1022-1023.

- 3) S. Nakagawa, D. Kuchta, C. Schow, R. John, L.A. Coldren and Y. -C. Chang: "1.5mW/Gbps Low Power Optical Interconnect Transmitter Exploiting High-Efficiency VCSEL and CMOS Driver," Optical Fiber Communications Conf., Tech. Dig, 2008 paper No. OThS3, (2008).
- 4) C. Kromer, G. Sialm, C. Berger, T. Morf, M. L. Schmatz, F. Ellinger, D. Emi, G. L. Bona and H. Jackel: "A 100 mW 4x10 Gb/s Transceiver in 80 nm CMOS for High-Density Optical Interconnects," IEEE. J. Solid-State Circuit, **40**, no.12, (2005), 2667-2678.
- 5) K. Takaki, N. Iwai, K. Hiraiwa, S. Imai, H. Shimizu, T. Kageyama, Y. Kawakita, N. Tsukiji and A. Kasukawa: "A recorded 62% PCE and low series and thermal resistance VCSEL with a double intra-cavity structure," 21st International Semiconductor Laser Conference, Sorrent, Italy, PDP1, (2008).
- 6) T. Kageyama, K. Takaki, S. Imai, Y. Kawakita, K. Hiraiwa, N. Iwai, H. Shimizu, N. Tsukiji and A. Kasukawa: "High efficiency 1060 nm VCSELs for low power consumption," IPRM09, ThA1.5, May, (2009).
- 7) K. Takaki, N. Iwai, S. Kamiya, H. Shimizu, K. Hiraiwa, S. Imai, Y. Kawakita, T. Takagi, T. Ishikawa, N. Tsukiji and A. Kasukawa: "Experimental demonstration of low-jitter performance and high-reliable 1060 nm VCSEL arrays for 10 G × 12 ch optical interconnection," SPIE photonics West, 7615-01 (2010).
- 8) H. Nasu, Y. Ishikawa, Y. Nekado, K. Takahashi, T. Uemura, A. Izawa and M. Yoshihara: "Very low power of < 7 mW/Gbps, 1060-nm 120-Gbps optical link employing high-density optical modules" ECOC, P6.17 (2009).